

## Silicon carbide semiconductor device

Patent Number: DE19809554  
Publication date: 1998-09-10  
Inventor(s): KATAOKA MITSUHIRO (JP); YAMAMOTO TSUYOSHI (JP); HARA KUNIHIKO (JP); KUMAR RAJESH (JP); ONDA SHOICHI (JP)  
Applicant(s): DENSO CORP (JP)  
Requested Patent:  DE19809554  
Application Number: DE19981009554 19980305  
Priority Number (s): JP19970050233 19970305; JP19970259076 19970924; JP19980006027 19980114  
IPC Classification: H01L29/78  
EC Classification: H01L21/04H20B, H01L29/10G, H01L29/24D, H01L29/78B2, H01L29/78B2B  
Equivalents:

---

### Abstract

---

A semiconductor device has (a) a first conductivity type single crystal silicon carbide semiconductor substrate bearing a first conductivity type silicon carbide epitaxial layer; (b) a second conductivity type silicon carbide first semiconductor region formed on the epitaxial layer; (c) a first conductivity type silicon carbide second semiconductor region formed on the first region; (d) a first conductivity type silicon carbide third semiconductor region formed on the first region, connected to the epitaxial layer and the second region and having a higher resistance than the substrate; and (e) a gate electrode formed on an intermediate insulation layer on the third region. The third region is depleted when no voltage is applied to the gate electrode so that the device has a normally 'off' characteristic. Also claimed are similar devices in which the third region has a lower dopant concentration than the substrate and in which (i) the third region has a thickness (in the sub-micron range) such that complete depletion occurs when no voltage is applied to the gate electrode or (ii) the impurity concentration of a region of the surface channel layer, existing on the epitaxial layer surface region, is greater than that of the rest of the surface channel layer and of the epitaxial layer so that the conduction resistance is reduced.

---

Data supplied from the esp@cenet database - I2

**THIS PAGE BLANK (USPTO)**



⑩ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Offenlegungsschrift  
⑬ DE 198 09 554 A 1

⑮ Int. Cl. 6:  
H 01 L 29/78

DE 198 09 554 A 1

⑯ Aktenzeichen: 198 09 554.6  
⑰ Anmeldetag: 5. 3. 98  
⑱ Offenlegungstag: 10. 9. 98

⑲ Unionspriorität:

9-50233 05. 03. 97 JP  
9-259076 24. 09. 97 JP  
10-6027 14. 01. 98 JP

⑲ Erfinder:

Kumar, Rajesh, Kariya, Aichi, JP; Yamamoto, Tsuyoshi, Kariya, Aichi, JP; Onda, Shoichi, Kariya, Aichi, JP; Kataoka, Mitsuhiro, Kariya, Aichi, JP; Hara, Kunihiko, Kariya, Aichi, JP

⑳ Anmelder:

Denso Corp., Kariya, Aichi, JP

㉑ Vertreter:

Winter, Brandl & Partner, 85354 Freising

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

㉒ Siliziumkarbidhalbleitervorrichtung

㉓ Es wird eine Halbleitervorrichtung geschaffen, die ein Halbleitersubstrat, das Siliziumkarbid eines ersten Leitfähigkeitstyps aufweist, eine Siliziumkarbidepitaxieschicht des ersten Leitfähigkeitstyps, einen ersten Halbleiterbereich, der auf dem Halbleitersubstrat ausgebildet ist und Siliziumkarbid eines zweiten Leitfähigkeitstyps aufweist, einen zweiten Halbleiterbereich, der auf dem ersten Halbleiterbereich ausgebildet ist, Siliziumkarbid des ersten Leitfähigkeitstyps aufweist und durch den ersten Halbleiterbereich von dem Halbleitersubstrat des ersten Leitfähigkeitstyps getrennt ist, einen dritten Halbleiterbereich, der auf dem Halbleiterbereich ausgebildet ist, der mit dem Halbleitersubstrat und dem zweiten Halbleiterbereich verbunden ist, der Siliziumkarbid des ersten Leitfähigkeitstyps aufweist und einen höheren Widerstand als das Halbleitersubstrat aufweist, und eine Gateelektrode aufweist, die auf dem dritten Halbleiterbereich über einer Isolationsschicht ausgebildet ist, wobei der dritte Halbleiterbereich verarmt ist, wenn keine Spannung an die Gateelektrode angelegt ist, so daß die Halbleitervorrichtung eine normalerweise ausgeschaltete Charakteristik aufweist.

DE 198 09 554 A 1

# DE 198 09 554 A 1

## Beschreibung

Die vorliegende Erfindung betrifft eine Siliziumkarbid- bzw. SiC-Halbleitervorrichtung, wie zum Beispiel einen Isolierschicht-Feldeffekttransistor und insbesondere einen vertikalen Hochleistungs-MOSFET bzw. -Metalloxidhalbleiter-Feldeffekttransistor.

Allgemein ist eine breite Vielfalt von vertikalen MOS-Transistoren und anderen Vorrichtungen bekannt, welche SiC verwenden. Beispiele beinhalten diejenigen, die in der ungeprüften Japanischen Patentveröffentlichung Nr. 4-23977, dem US-Patent 5.323.040 und Shenoy et al., IEEE Electron Device Letters, Bd. 18, Nr 3, Seiten 93 bis 95, März 1997, beschrieben sind. Die in diesen Druckschriften offenbarten vertikalen MOS-Transistoren sind mit hochqualitativen Materialien für eine hohe Durchbruchspannung und einen niedrigen Durchlaßwiderstand verglichen mit aus Silizium ausgebildeten MOS-Transistoren aufgebaut.

Es ist eine Aufgabe der vorliegenden Erfindung, einen Siliziumkarbid-MOS-Transistor zu schaffen, welcher vollen Gebrauch von den Charakteristiken von SiC macht, um noch einen niedrigeren Durchlaßwiderstand und noch eine höhere Durchbruchspannung als SiC-MOS-Transistoren im Stand der Technik zu erzielen, und welcher für einen einfacheren Gebrauch ausgelegt ist.

Diese Aufgabe wird erfindungsgemäß mittels den im Anspruch 1 angegebenen Maßnahmen gelöst.

Weitere vorteilhafte Ausgestaltungen der vorliegenden Erfindung sind Gegenstand der Unteransprüche.

Erfindungsgemäß wird eine die zuvor erwähnte Aufgabe lösende Halbleitervorrichtung geschaffen, die ein Halbleitersubstrat, das Siliziumkarbid eines ersten Leistungstyps und eine Siliziumkarbidepitaxieschicht des ersten Leistungstyps aufweist, welche auf der Hauptseite des Halbleitersubstrats ausgebildet ist, einen ersten Halbleiterbereich, der auf der Hauptoberfläche der Siliziumkarbidepitaxieschicht ausgebildet ist und Siliziumkarbid eines zweiten Leistungstyps aufweist, einen zweiten Halbleiterbereich, der auf dem ersten Halbleiterbereich ausgebildet ist, der Siliziumkarbid des ersten Leistungstyps aufweist und durch den ersten Halbleiterbereich von der Siliziumkarbidepitaxieschicht des ersten Leistungstyps getrennt ist, einen dritten Halbleiterbereich, der auf dem ersten Halbleiterbereich ausgebildet ist, der die Siliziumkarbidepitaxieschicht und den zweiten Halbleiterbereich verbindet, der Siliziumkarbid des ersten Leistungstyps aufweist und einen höheren Widerstand als die Siliziumkarbidepitaxieschicht oder das Halbleitersubstrat aufweist, und eine Gateelektrode aufweist, die mit einer sich dazwischen befindenden Isolationsschicht auf dem dritten Halbleiterbereich ausgebildet ist, wobei der dritte Halbleiterbereich verarmt ist, wenn keine Spannung an die Gateelektrode angelegt ist, so daß die Halbleitervorrichtung eine normalerweise bzw. im Ruhezustand ausgeschaltete Charakteristik aufweist.

Genau diesem Aufbau ist der dritte Halbleiterbereich (die dünne Kanalepitaxieschicht) verarmt und weist eine normalerweise ausgeschaltete Charakteristik auf, wenn keine Spannung an die Gateelektrode angelegt ist. Zu derartigen Zeiten muß der dritte Halbleiterbereich die verarmte Schicht aufweisen, die sich über die volle Breite zwischen dem ersten Halbleiterbereich und dem Gateisolationsfilm ausdehnt, um eine normalerweise ausgeschaltete Charakteristik aufzuweisen, aber es ist nicht notwendig, daß sich die verarmte Schicht vollständig über die gesamte Länge des dritten Halbleiterbereichs ausdehnt. Genauer gesagt ist die Verarmung des dritten Halbleiterbereichs dort nicht notwendig, wo sich der dritte Halbleiterbereich zu dem zweiten Halbleiterbereich oder dem Bereich ausdehnt, der die Siliziumkarbidepitaxieschicht des ersten Leistungstyps berührt (Driftbereich).

Bei dem zuvor beschriebenen Aufbau wird, wenn eine Spannung an die Gateelektrode angelegt wird, um ein elektrisches Feld auf der Gateisolationsschicht auszubilden, ein Kanal eines Anreicherungstyps auf den dritten Halbleiterbereich (die dünne Kanalepitaxieschicht) induziert und fließen die Ladungsträger zwischen der Sourceelektrode und der Drainelektrode (das heißt, ein eingeschalteter Zustand wird erzielt).

Dieser Aufbau kann das Problem einer niedrigen Kanalbeweglichkeit eines SiC-Leistungstransistors eines Inversionstyps ihn Stand der Technik lösen, da die Vorrichtung als ein Anreicherungstyp arbeitet. Es ist festgestellt worden, daß in elektronischen Vorrichtungen aus Si die Anreicherungsschichtkanalbeweglichkeit viel höher als die Inversionsschichtkanalbeweglichkeit ist (siehe zum Beispiel S. C. Sun et al., IEEE Transactions on Electron Device, Bd. ED-27, Seite 1497, 1980). Das gleiche gilt für auf MOS basierende SiC-Leistungsvorrichtungen. Eine große Verringerung des Durchlaßwiderstands kann ebenso für SiC-Leistungsvorrichtungen eines Anreicherungstyps erwartet werden.

Die normalerweise ausgeschaltete Charakteristik des dritten Halbleiterbereichs wird durch wechselseitiges Verbinden der verarmten Schicht, welche sich zwischen der Gateelektrode und dem dritten Halbleiterbereich ausdehnt, und der verarmten Schicht zwischen dem zweiten Halbleiterbereich und dem dritten Halbleiterbereich erzielt. Daher lassen gemäß der Siliziumkarbidhalbleitervorrichtung der vorliegenden Erfindung die Störstellenkonzentration und die Dicke des dritten Halbleiterbereichs und der zweite Halbleiterbereich und die Gateelektrode auch dann eine vollständige Verarmung der dritten Halbleiterschicht zu, wenn keine Spannung an die Gateelektrode angelegt ist, was daher zuläßt, daß eine normalerweise ausgeschaltete Charakteristik erzielt wird, so daß sie ähnlich einer normalerweise ausgeschalteten Vorrichtung im Stand der Technik verwendet werden kann.

Weiterhin werden gemäß der Halbleitervorrichtung der vorliegenden Erfindung die Störstellenkonzentration des ersten Halbleiterbereichs und die Störstellenkonzentration des dritten Halbleiterbereichs, in welchem der Kanal ausgebildet wird, unabhängig gesteuert, um eine Siliziumkarbidhalbleitervorrichtung mit einer hohen Durchbruchspannung, einem niedrigen Stromverlust und einer niedrigen Schwellspannung zu schaffen. Das heißt, die Störstellenkonzentration des ersten Halbleiterbereichs kann erhöht werden, so daß während einer hohen Durchbruchspannung zwischen der Source und dem Drain aufrechterhalten wird, die Tiefe des ersten Halbleiterbereichs verkürzt werden kann, um den Sperrschiifeldeffekt (JFET-Effekt) zum verringern. Außerdem kann dadurch, daß die Störstellenkonzentration des Kanals verringert werden kann, um den Effekt einer Störstellenstreuung während des Ladungsträgerflusses zu verringern, die Kanalbeweglichkeit erhöht werden. Als Ergebnis ist es möglich, eine Siliziumkarbidhalbleitervorrichtung mit einer hohen Durchbruchspannung und niedrigen Stromverlusten zu erzielen.

Die Siliziumkarbidhalbleitervorrichtung der vorliegenden Erfindung ist ein planarer vertikaler Feldeffekttransistor, aber sie kann ebenso an planaren Transistoren oder Transistoren mit einem Graben angewendet werden.

# DE 198 09 554 A 1

Eine Halbleitervorrichtung eines planaren Typs gemäß der vorliegenden Erfindung weist ein Halbleitersubstrat eines ersten Leitfähigkeits Typs, das einkristallines Siliziumkarbid und eine Siliziumkarbidepitaxieschicht des ersten Leitfähigkeits Typs aufweist, welche auf der Hauptseite des Halbleitersubstrats ausgebildet ist und eine niedrigere Dotierstoffkonzentration als das Halbleitersubstrat aufweist, einen ersten Halbleiterbasisbereich eines zweiten Leitfähigkeits Typs, der auf einem vorbestimmten Bereich der Siliziumkarbidepitaxieschicht bis zu einer vorbestimmten Tiefe ausgebildet ist, einen zweiten Halbleiterbasisbereich des ersten Leitfähigkeits Typs, der auf einem vorbestimmten Bereich des Basisbereichs ausgebildet ist und eine flachere Tiefe als der Basisbereich aufweist, eine dritte Halbleiteroberflächenkanalschicht des ersten Leitfähigkeits Typs, die aus Siliziumkarbid besteht und derart angeordnet ist, daß sie den Sourcebereich und die Siliziumkarbidepitaxieschicht des ersten Leitfähigkeits Typs und den zweiten Halbleiterbasisbereich verbindet, eine Gateisolationsschicht, die auf der Oberfläche der Oberflächenkanalschicht ausgebildet ist, wobei eine Gateelektrode auf der Oberfläche der Oberflächenkanalschicht ausgebildet ist, eine Sourceelektrode, die in Kontakt mit dem Basisbereich und dem Sourcebereich ausgebildet ist, und eine Drainelektrode auf, die auf der Rückseite des Halbleitersubstrats ausgebildet ist.

Nachfolgend werden bevorzugte Ausgestaltungen der Halbleitervorrichtung des planaren Typs beschrieben.

- (1) Die Hauptoberfläche des Siliziumkarbidhalbleitersubstrats ist eine (0001)-Si-Fläche, eine (0001)-C-Fläche, eine (1120)-a-Fläche oder eine (1100)-Prismafläche. Die (0001)-Si-Fläche oder die (1120)-a-Fläche ist für den niedrigen Übergangsoberflächenzustand des Siliziumkarbid/Isolatorübergangs bevorzugt.
- (2) Die Dotierstoffkonzentration der Oberflächenkanalschicht ist nicht größer als die Dotierstoffkonzentrationen der Siliziumkarbidepitaxieschicht und des Basisbereichs.
- (3) Die Gateelektrode weist ein erstes Austrittspotential auf, der Basisbereich weist ein zweites Austrittspotential auf, die Oberflächenkanalschicht weist ein drittes Austrittspotential auf und die ersten, zweiten und dritten Austrittspotentielle sind derart eingestellt, daß die Ladungsträger des ersten Leitfähigkeits Typs in der Oberflächenkanalschicht verarmt sind.
- (4) Die ersten, zweiten und dritten Austrittspotentielle sind derart eingestellt, daß die Ladungsträger des ersten Leitfähigkeits Typs in der Oberflächenkanalschicht verarmt sind, wenn sich die Gateelektrode bezüglich des Drainbereichs auf Nullpotential befindet.
- (5) Die Oberflächenkanalschicht ist durch epitaktisches Wachstum oder Ionenimplantation ausgebildet.
- (6) Die Oberflächenkanalschicht ist durch epitaktisches Wachstum ausgebildet und das Kristallsystem/polymorph des Siliziumkarbids, das das Halbleitersubstrat, die Siliziumkarbidepitaxieschicht, den Basisbereich und den Sourcebereich bildet, ist zu dem des Siliziumkarbids der Oberflächenkanalschicht unterschiedlich. Zum Beispiel ist das Siliziumkarbid, das das Halbleitersubstrat, die Siliziumkarbidepitaxieschicht, den Basisbereich und den Sourcebereich bildet, ein hexagonales System, während das Siliziumkarbid der Oberflächenkanalschicht ein kubisches System ist.
- (7) Die Oberflächenkanalschicht ist durch epitaktisches Wachstum ausgebildet und das Siliziumkarbid, das das Halbleitersubstrat, die Siliziumkarbidepitaxieschicht, den Basisbereich und den Sourcebereich bildet, ist 6H-SiC, während das Siliziumkarbid der Oberflächenkanalschicht 3C-SiC ist.

Unter Verwendung einer Oberflächenkanalschicht, die durch epitaktisches Wachstum ausgebildet ist, bei dem sich das Siliziumkarbidkristallsystem/polymorph, wie in Punkt (5) und (6), von dem der Basis unterscheidet, ist es möglich, eine Vorrichtung mit guten Charakteristiken und einer hohen Zuverlässigkeit zu verwirklichen.

- (8) Ein Abschnitt des ersten Halbleiterbasisbereichs ist dicker hergestellt. Dies läßt zu, daß ein Durchbruch leichter auftritt.
- (9) In der Siliziumkarbidhalbleitervorrichtung gemäß dem vorhergehenden Punkt (8) ist die Störstellenkonzentration des verdickten Bereichs des ersten Halbleiterbasisbereichs höher hergestellt als die Störstellenkonzentration der dünneren Bereiche. Dies erleichtert weiter einen Durchbruch.
- (10) In der Siliziumkarbidhalbleitervorrichtung gemäß dem vorhergehenden Punkt (8) kann der verdickte Bereich des Basisbereichs unter dem Sourcebereich ausgebildet sein. Dies läßt eine gemeinsame Verwendung der Maske zum Ausbilden eines tiefen Basisbereichs und der Maske zum Ausbilden eines Sourcebereichs zur Herstellung zu.
- (11) Eine Siliziumkarbidepitaxieschicht eines ersten Leitfähigkeits Typs, die eine niedrigere Dotierstoffkonzentration als das Halbleitersubstrat aufweist, wird auf der Hauptoberfläche des Halbleitersubstrats des ersten Leitfähigkeits Typs ausgebildet, welches aus einkristallinem Siliziumsubstrat besteht, und ein erster Basisbereich eines ersten Leitfähigkeits Typs, der eine vorbestimmte Tiefe aufweist, wird auf einem vorbestimmten Bereich des Oberflächenbereichs der Siliziumkarbidepitaxieschicht ausgebildet. Weiterhin wird eine Oberflächenkanalschicht des ersten Leitfähigkeits Typs, die aus Siliziumkarbid besteht, auf der Siliziumkarbidepitaxieschicht angeordnet, wird ein zweiter Basisbereich des zweiten Leitfähigkeits Typs mit einer größeren Tiefe als der erste Basisbereich auf einem vorbestimmten Bereich in dem ersten Basisbereich ausgebildet und wird dann die Maske zum Ausbilden eines zweiten Basisbereichs verwendet, um einen Sourcebereich des ersten Leitfähigkeits Typs, welcher eine flachere Tiefe als der erste Basisbereich aufweist, auf einem vorbestimmten Bereich des Oberflächenbereichs des ersten Basisbereichs auszubilden. Danach wird eine Gateelektrode auf der Oberfläche der Oberflächenkanalschicht mit einem sich dazwischen befindenden Gateisolationsfilm ausgebildet, während eine Sourceelektrode ausgebildet wird, die den Basisbereich und den Sourcebereich berührt. Daher ist es möglich, den Sourcebereich unter Verwendung der Maske zum Ausbilden eines zweiten Basisbereichs auszubilden, um eine Verwendung der Maske für beide Zwecke zuzulassen.
- (12) In der Siliziumkarbidhalbleitervorrichtung gemäß dem vorhergehenden Punkt (8) ist der verdickte Bereich des Basisbereichs an einer Stelle ausgebildet, die den Sourcebereich nicht überlappt. Dies hilft, den Durchbruch zu verhindern.

(13) Die Oberflächenkanalschicht, kann einen Abschnitt des zweiten Halbleitersourcebereichs überlappen. Dies läßt ein Aufweiten des Kontaktbereichs von dem zweiten Halbleitersourcebereich zu der Oberflächenkanalschicht zu.

5 (14) In der Halbleitervorrichtung des planaren Typs kann der Bereich der Oberflächenkanalschicht, welcher sich auf dem Oberflächenbereich der Siliziumkarbidepitaxieschicht befindet, mit einem niedrigeren Widerstand hergestellt werden als die Siliziumkarbidepitaxieschicht, um noch eine weitere Verringerung des Durchlaßwiderstands des MOSFET eines Anreicherungstyps zuzulassen. Der Durchlaßwiderstand des MOSFET wird durch den Kontaktwiderstand zwischen der Sourceelektrode und dem Sourcebereich, den Innenwiderstand des Sourcebereichs, den Anreicherungskanalwiderstand in dem Kanalbereich, der auf der Oberflächenkanalschicht ausgebildet ist, den Innenwiderstand des Anreicherungsdriftwiderstands der Oberflächenkanalschicht, den JFET-Widerstand des JFET-Bereichs, den Innenwiderstand der Epitaxieschicht, den Innenwiderstand des Halbleitersubstrats und den Kontaktwiderstand zwischen dem Halbleitersubstrat und der Drainelektrode bestimmt, deren Summe den Durchlaßwiderstand bildet.

10 15 Folglich ist es durch derartiges Herstellen der Störstellenkonzentration des Bereichs der Oberflächenkanalschicht, die sich auf dem Oberflächenbereich der Epitaxieschicht befindet, daß sie höher als die der Epitaxieschicht ist, möglich, den Widerstand der anderen Bereiche der Oberflächenkanalschicht als den Kanalbereich (Anreicherungsdriftwiderstand der Kanalschicht) zu verringern, was daher den Durchlaßwiderstand des MOSFET verringert. Dies läßt zu, daß für den MOSFET ein noch niedrigerer Durchlaßwiderstand erzielt wird.

20 25 Wenn zum Beispiel die Oberflächenkanalschicht durch Ionenimplantation ausgebildet wird und ebenso eine Ionenimplantation in den anderen Bereichen der Oberflächenkanalschicht als dem Kanalbereich ausgeführt wird, dann kann die Störstellenkonzentration des Bereichs der Oberflächenkanalschicht, der sich auf dem Oberflächenbereich der Epitaxieschicht befindet, gleichzeitig mit einem Ausbilden der Oberflächenkanalschicht über die Störstellenkonzentration der Epitaxieschicht erhöht werden. Dies läßt eine Vereinfachung des Herstellungsverfahrens für die Siliziumkarbidhalbleitervorrichtung zu.

Die vorliegende Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die beiliegende Zeichnung näher erläutert.

Es zeigen:

30 Fig. 1 eine schematische Querschnittsansicht eines Leistungs-MOSFET eines planaren Typs gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung;

Fig. 2 bis 9 Querschnittsansichten eines Herstellungsverfahrens für einen Leistungs-MOSFET eines planaren Typs;

35 Fig. 10 einen Graph der Beziehung zwischen einer Oberflächenkanalepitaxieschichtdicke, einer Störstellenkonzentration und einer Durchbruchspannung;

Fig. 11 eine Querschnittsansicht eines anderen Herstellungsverfahrens für einen Leistungs-MOSFET eines planaren Typs gemäß dem ersten Ausführungsbeispiel der vorliegenden Erfindung;

40 Fig. 12 eine schematische Querschnittsansicht eines Leistungs-MOSFET eines planaren Typs gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung;

Fig. 13 bis 20 Querschnittsansichten eines Herstellungsverfahrens für einen Leistungs-MOSFET eines planaren Typs;

45 Fig. 21 eine schematische Querschnittsansicht eines Leistungs-MOSFET eines planaren Typs gemäß einem dritten Ausführungsbeispiel der vorliegenden Erfindung;

Fig. 22 eine schematische Querschnittsansicht eines Leistungs-MOSFET eines planaren Typs gemäß einem vierten Ausführungsbeispiel der vorliegenden Erfindung;

Fig. 23 bis 27 Querschnittsansichten eines Herstellungsverfahrens für einen Leistungs-MOSFET eines planaren Typs;

50 Fig. 28 eine Querschnittsansicht eines anderen Herstellungsverfahrens für einen Leistungs-MOSFET eines planaren Typs gemäß dem vierten Ausführungsbeispiel der vorliegenden Erfindung;

Fig. 29 eine Querschnittsansicht noch eines weiteren Herstellungsverfahrens für einen Leistungs-MOSFET eines planaren Typs gemäß dem vierten Ausführungsbeispiel der vorliegenden Erfindung;

Fig. 30 eine schematische Querschnittsansicht eines herkömmlichen MOSFET eines Inversionstyps zum Erklären des Standes der Technik;

55 Fig. 31 eine Querschnittsansicht eines vertikalen Leistungs-MOSFET gemäß einem fünften Ausführungsbeispiel der vorliegenden Erfindung;

Fig. 32 einen den Durchlaßwiderstand des vertikalen Leistungs-MOSFET in Fig. 31 zeigenden Graph einer Gateanlegespannungs/Drainstromcharakteristik;

Fig. 33 bis 41 Ansichten eines Herstellungsverfahrens für den vertikalen Leistungs-MOSFET in Fig. 31; und

55 Fig. 42 und 43 Querschnittsansichten eines vertikalen Leistungs-MOSFET gemäß einem sechsten bzw. siebten Ausführungsbeispiel der vorliegenden Erfindung.

Es folgt die Beschreibung von Ausführungsbeispielen der vorliegenden Erfindung.

Nachstehend erfolgt die Beschreibung eines ersten Ausführungsbeispiels der vorliegenden Erfindung.

60 Fig. 1 zeigt eine Querschnittsansicht eines planaren vertikalen Leistungs-MOSFET mit einem n-Kanal gemäß diesem Ausführungsbeispiel der vorliegenden Erfindung. Diese Vorrichtung kann zweckmäßig als ein Inverter oder ein Wechselspannungsgenerator für ein Fahrzeug angewendet werden.

65 Das verwendete Siliziumkarbidhalbleitersubstrat 1 eines n<sup>+</sup>-Typs ist hexagonales Siliziumkarbid. Das Siliziumkarbidhalbleitersubstrat 1 des n<sup>+</sup>-Typs kann kubisches Kristall sein. Ebenso weist das Siliziumkarbidhalbleitersubstrat 1 des n<sup>+</sup>-Typs die Oberseite als die Hauptseite 1a und die Unterseite, die der Hauptseite 1a gegenüberliegt, als die Rückseite 1b auf. Auf der Hauptseite 1a des Siliziumkarbidhalbleitersubstrats des n<sup>+</sup>-Typs ist eine Siliziumkarbidepitaxieschicht eines n<sup>-</sup>-Typs (hier im weiteren Verlauf "Siliziumkarbidepischicht des n<sup>-</sup>-Typs") 2 geschichtet, die eine niedrigere Dotierstoffkonzentration als das Substrat 1 aufweist.

Hierbei sind die Oberseite des Siliziumkarbidhalbleitersubstrats 1 des n<sup>+</sup>-Typs und die Halbleiterepischicht des n<sup>-</sup>

# DE 198 09 554 A 1

Typs die (0001)-Si-Fläche oder die (0001)-C-Fläche. Alternativ können die Oberseite des Siliziumkarbidhalbleitersubstrats 1 des n<sup>+</sup>-Typs und die Halbleiterepischicht des n<sup>+</sup>-Typs die (1120)-a-Fläche oder die (1100)-Prismafläche sein. Genauer gesagt kann eine niedrige Übergangszustandsdichte von Siliziumkarbid/Isolator erzielt werden, wenn die (0001)-Si- und die (1200)-a-Fläche verwendet werden.

Auf vorbestimmten Bereichen des Oberflächenbereichs der Siliziumkarbidepischicht des n<sup>+</sup>-Typs sind getrennt ein Siliziumkarbidebasisbereich 3a eines p<sup>-</sup>-Typs und ein Siliziumkarbidebasisbereich 3b eines p<sup>-</sup>-Typs bis zu einer vorbestimmten Tiefe ausgebildet. Ebenso ist auf einem vorbestimmten Bereich des Oberflächenbereichs des Siliziumkarbidebasisbereichs 3a des p<sup>-</sup>-Typs ein Sourcebereich 4a des n<sup>+</sup>-Typs ausgebildet, welcher flacher als der Basisbereich 3a ist, und ist auf einem vorbestimmten Bereich des Oberflächenbereichs des Siliziumkarbidebasisbereichs 3b des p<sup>-</sup>-Typs ein Sourcebereich 4b des n<sup>+</sup>-Typs ausgebildet, welcher flacher als der Basisbereich 3b ist. Weiterhin ist eine SiC-Schicht 5 des n<sup>-</sup>-Typs auf der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs zwischen dem Sourcebereich 4a des n<sup>+</sup>-Typs und dem Sourcebereich 4b des n<sup>+</sup>-Typs und auf Oberflächenbereichen der Siliziumkarbidebasisbereiche 3a, 3b des p<sup>-</sup>-Typs vorgesehen. Das heißt, die SiC-Schicht 5 des n<sup>-</sup>-Typs ist derart angeordnet, daß sie die Sourcebereiche 4a, 4b auf den Oberflächenbereichen der Basisbereiche 3a, 3b und die Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs verbindet. Diese SiC-Schicht 5 des n<sup>-</sup>-Typs ist durch epitaktisches Wachstum ausgebildet und die Kristalle des Epitaxiefilms sind 4H, 6H oder 3C. Die Epitaxieschicht kann unberücksichtigt des darunterliegenden Substrats 1 unterschiedliche Kristalltypen ausbilden, wenn unterschiedliche Bedingungen eines epitaktischen Wachstums verwendet werden. Während eines Betriebs der Vorrichtung dient sie als eine Kanalausbildungsschicht auf der Vorrichtungsoberfläche. Die SiC-Schicht 5 des n<sup>-</sup>-Typs wird hier im weiteren Verlauf als die Oberflächenkanalepischicht bezeichnet.

Hierbei ist die Dotierstoffkonzentration der Oberflächenkanalepischicht 5 eine niedrige Konzentration von ungefähr 1,0E14 cm<sup>-3</sup> bis 1,0E16 cm<sup>-3</sup>, welche niedriger als die Dotierstoffkonzentration der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs und der Siliziumkarbidebasisbereiche 3a, 3b des p<sup>-</sup>-Typs ist. Dies läßt zu, daß ein niedriger Durchlaßwiderstand erreicht wird.

Weiterhin sind Vertiefungen 6a, 6b auf der Oberfläche der Siliziumkarbidebasisbereiche 3a, 3b des p<sup>-</sup>-Typs und der Sourcebereiche 4a, 4b des n<sup>+</sup>-Typs ausgebildet.

Ein Gateisolationsfilm (Siliziumoxidsfilm) 7 ist auf der Oberseite der Oberflächenkanalepischicht 5 und der Sourcebereiche 4a, 4b des n<sup>+</sup>-Typs ausgebildet. Ebenso ist eine Polysiliziumgateelektrode 8 auf dem Gateisolationsfilm 7 ausgebildet. Die Polysiliziumgateelektrode 8 ist von einem Isolationsfilm 9 bedeckt. Ein Oxidfilm wird als der Isolationsfilm 9 ausgebildet. Eine Sourceelektrode 10 ist darüber ausgebildet und die Sourceelektrode 10 berührt die Sourcebereiche 4a, 4b des n<sup>+</sup>-Typs und die Siliziumkarbidebasisbereiche 3a, 3b des p<sup>-</sup>-Typs. Ebenso ist eine Siliziumkarbidedrainschicht 11 auf der Rückseite 1b des Siliziumkarbidhalbleitersubstrats 1 des n<sup>+</sup>-Typs ausgebildet.

Ein Herstellungsverfahren für einen Leistungs-MOSFET eines planaren Typs ist in den Fig. 2 bis 9 dargestellt.

Zuerst wird, wie es in Fig. 2 gezeigt ist, ein 4H-, 6H- oder 3C-SiC-Substrat 1 eines n-Typs, das heißt, ein Siliziumkarbidhalbleitersubstrat 1 eines n<sup>+</sup>-Typs, vorbereitet. Hierbei beträgt die Dicke des Siliziumkarbidhalbleitersubstrats 1 des n<sup>+</sup>-Typs 400 Mikrometer und ist die Hauptoberfläche 1a die (0001)-Si-Fläche, (0001)-C-Fläche, (1120)-a-Fläche oder (1100)-Prismafläche. Eine Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs wird epitaktisch bis zu einer Dicke von 5 bis 10 Mikrometern auf die Hauptoberfläche 1a des Substrats 1 aufgewachsen. In diesem Ausführungsbeispiel der vorliegenden Erfindung erhält die Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs die gleichen Kristalle wie das darunterliegende Substrat 1 für eine 4H-, 6H- oder 3C-SiC-Schicht des n<sup>-</sup>-Typs.

Ebenso wird, wie es in Fig. 3 gezeigt ist, ein Isolationsfilm 20 auf einem vorbestimmten Bereich der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs angeordnet und dieser wird als eine Maske zur Ionenimplantation von Störstellen der Gruppe IIIA, das heißt, B<sup>+</sup> (Borionen), Al<sup>+</sup> (Aluminiumionen) oder Ga<sup>+</sup> (Galliumionen) verwendet, um die Siliziumkarbidebasisbereiche 3a, 3b des p<sup>-</sup>-Typs auszubilden. Die Ionenimplantationsbedingungen sind eine Temperatur von 700°C und eine Dosis von 1E14 cm<sup>-2</sup>.

Nach einem Entfernen des Isolationsfilms 20 wird, wie es in Fig. 4 gezeigt ist, eine Oberflächenkanalepischicht 5 des n<sup>-</sup>-Typs epitaktisch auf die Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs aufgewachsen. Als die Wachstumsbedingungen werden hierbei SiH<sub>4</sub>, C<sub>3</sub>H<sub>8</sub> und H<sub>2</sub> als die Quellengase verwendet und die Wachstumstemperatur beträgt 1600°C.

Als nächstes wird, wie es in Fig. 5 gezeigt ist, ein Isolationsfilm 21 auf einem vorbestimmten Bereich der Oberflächenkanalepischicht 5 angeordnet und dieser wird als die Maske zur Ionenimplantation von N<sup>+</sup> (Stickstoffionen) verwendet, um Sourcebereiche 4a, 4b des n<sup>+</sup>-Typs auszubilden. Die Ionenimplantationsbedingungen sind eine Temperatur von 700°C und eine Dosis von 1E15 cm<sup>-2</sup>.

Ebenso wird nach einem Entfernen des Isolationsfilms 21, wie es in Fig. 6 gezeigt ist, das Photoresistverfahren verwendet, um einen Isolationsfilm 22 auf einem vorbestimmten Bereich der Oberflächenkanalepischicht 5 anzurichten, und dieser wird als eine Maske zum Ätzen eines Abschnitts der Sourcebereiche 4a, 4b des n<sup>+</sup>-Typs und der Siliziumkarbidebasisbereiche 3a, 3b des p<sup>-</sup>-Typs durch RIE bzw. reaktives Ionätzen verwendet, um Vertiefungen 6a, 6b auszubilden. Die RIE-Quellengase, die hierbei verwendet werden, sind CF<sub>4</sub> und O<sub>2</sub>.

Nach einem nachfolgenden Entfernen des Isolationsfilms 22 wird, wie es in Fig. 7 gezeigt ist, ein Gateisolationsfilm (Gateoxidfilm) 7 durch Na<sup>+</sup>-Oxidation auf dem Substrat 1 ausgebildet. Hierbei beträgt die Atmosphärentemperatur 1080°C.

Dann wird, wie es in Fig. 8 gezeigt ist, eine Polysiliziumgateelektrode 8 durch L.PCVD bzw. chemische Niederdruck-Dampfphasenabscheidung auf den Gateisolationsfilm 7 abgeschieden. Die Filmausbildungstemperatur beträgt hierbei 600°C.

Als nächstes wird, wie es in Fig. 9 gezeigt ist, nach einem Entfernen der unerwünschten Abschnitte des Gateisolationsfilms 7 ein Isolationsfilm 9 derart ausgebildet, daß er den Gateisolationsfilm 7 bedeckt. Genauer gesagt beträgt die Filmausbildungstemperatur 425°C und wird ein Glühen bei 1000°C nach der Filmausbildung durchgeführt.

Ebenso werden, wie es in Fig. 1 gezeigt ist, die Sourceelektrode 10 und die Drainelektrode 11 durch Metallzerstäubung bei Raumtemperatur erzeugt. Dann wird ein Glühen bei 1000°C nach der Filmausbildung durchgeführt.

Dies vervollständigt den Leistungs-MOSFET eines planaren Typs.

5

10

15

20

25

30

35

40

45

50

55

60

65

# DE 198 09 554 A 1

Nun wird die Funktionsweise (der Betrieb) des vertikalen planaren Leistungs-MOSFET erklärt.

Dieser MOSFET arbeitet als ein normalerweise ausgeschalteter Anreicherungstyp, so daß, wenn keine Spannung an die Polysiliziumgateelektrode angelegt ist, die Ladungsträger der Oberflächenkanalschicht 5 durch das Potential vollständig verarmt sind, das durch die Differenz der statischen Potentiale der Siliziumkarbidbasisbereiche 3a, 3b des p<sup>-</sup>-Typs und der Oberflächenkanalschicht 5 und die Differenz der Austrittsarbeiten der Oberflächenkanalschicht 5 und der Polysiliziumgateelektrode 8 erzeugt wird. Ein Anlegen einer Spannung an die Polysiliziumgateelektrode 8 ändert die Potentialdifferenz, die durch die Summe der Differenz der Austrittsarbeiten der Oberflächenkanalepischicht 5 und der Polysiliziumgateelektrode 8 und der extern angelegten Spannung erzeugt wird. Dies läßt ein Steuern des Kanalzustands zu.

Anders ausgedrückt, wenn das Austrittsarbeitspotential der Polysiliziumgateelektrode 8 als das erste Austrittsarbeitspotential definiert ist, das Austrittsarbeitspotential der Siliziumkarbidbasisbereiche 3a, 3b des p<sup>-</sup>-Typs als das zweite Austrittsarbeitspotential definiert ist und das Austrittsarbeitspotential der Oberflächenkanalepischicht 5 als das dritte Austrittsarbeitspotential definiert ist, dann können die ersten bis dritten Austrittsarbeitspotentiale derart eingestellt werden, daß die Ladungsträger des n-Typs in der Oberflächenkanalepischicht 5 enthalten sind. Das heißt, die ersten bis dritten Austrittsarbeitspotentiale werden derart eingestellt, daß die Ladungsträger des n-Typs (Elektronen) in der Oberflächenkanalepischicht 5 verarmt sind, wenn sich das Polysiliziumgatepotential 8 bezüglich des Drainbereichs auf Nullpotential befindet.

Es wird mit der Erklärung des Betriebs fortgefahren. Ein verarmer Bereich wird in der Oberflächenkanalepischicht 5 durch das elektrische Feld ausgebildet, das durch die Siliziumkarbidbasisbereiche 3a, 3b des p<sup>-</sup>-Typs und die Polysiliziumgateelektrode 8 erzeugt wird. Wenn in diesem Zustand eine positive Vorspannung an die Polysiliziumgateelektrode 8 angelegt wird, wird ein Kanalbereich des Anreicherungstyps in der Oberflächenkanalepischicht 5 ausgebildet, der sich von den Sourcebereichen 4a, 4b des n<sup>+</sup>-Typs in die Richtung des Driftbereichs 2 des n<sup>-</sup>-Typs ausdehnt, so daß ein Schalten zu dem eingeschalteten Zustand bewirkt wird, was bewirkt, daß die Ladungsträger zwischen der Sourceelektrode 10 und der Drainelektrode 11 fließen.

Hierbei fließen die Elektronen von den Sourcebereichen 4a, 4b des n<sup>+</sup>-Typs durch die Oberflächenkanalepischicht 5 und von der Oberflächenkanalepischicht 5 zu der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs. Ebenso fließen die Elektronen nach Erreichen der Siliziumkarbidepischicht 2 (des Driftbereichs) des n<sup>-</sup>-Typs vertikal zu dem Siliziumkarbidhalbleitersubstrat 1 des n<sup>+</sup>-Typs.

Jedoch muß die an die Gateelektrode 8 angelegte Spannung mindestens so hoch wie die vorbestimmte Schwellwertspannung  $V_{th}$  sein. Diese Schwellwertspannung  $V_{th}$  wird nun erklärt.

Als Verweis wird die Schwellwertspannung  $V_{th}$  für einen MOSFET eines Inversionstyps als die Grundlage zum Erklären der Schwellwertspannung  $V_{th}$  für den Leistungs-MOSFET eines Anreicherungstyps gemäß diesem Ausführungsbeispiel der vorliegenden Erfindung erklärt.

Schwellwertspannungen  $V_{th}$  für MOSFETs eines Inversionstyps sind im allgemeinen durch die folgende Gleichung (1) ausgedrückt.

$$V_{th} = V_{FB} + 2\Phi_B \quad (1)$$

wobei  $V_{FB} = \Phi_{ms} - (Q_s + Q_{fc} + Q_i + Q_{ss})/C_{oxide}$  ist und ein Einsetzen die folgende Gleichung (2) ergibt.

$$V_{th} = \Phi_{ms} - (Q_s + Q_{fc} + Q_i + Q_{ss})/C_{oxide} + 2\Phi_B \quad (2)$$

Im allgemeinen ist das Energieband auf der Grundlage des Effekts der Austrittsarbeitsdifferenz (Elektronenergiedifferenz)  $\Phi_{ms}$  zwischen dem Metall und dem Halbleiter, der festgelegten Ladung  $Q_{fc}$  an dem Übergang zwischen dem Gateoxidfilm ( $SiO_2$ ) und der Schicht des n<sup>-</sup>-Typs (hier im weiteren als der  $SiO_2/SiC$ -Übergang bezeichnet), den beweglichen Ionen  $Q_i$  in dem Oxidfilm und der Oberflächenladung  $Q_{ss}$  an dem  $SiO_2/SiC$ -Übergang gekrümmt. Folglich ist die Schwellwertspannung  $V_{th}$  die Summe der Spannung, welche diese Energiebandkrümmung versetzt, und der Spannung  $2\Phi_B$ , welche beginnt; einen Inversionszustand auszubilden, und ist durch die Gleichungen (1) und (2) dargestellt.  $Q_s$  stellt die Raumladung in dem Gateisolationsfilm (Oxidfilm) 7 dar und  $C_{oxide}$  stellt die Kapazität des Gateisolationsfilms (Oxidfilms) 7 dar.

Dies wird als die Grundlage für den vertikalen Leistungs-MOSFET des Anreicherungstyps gemäß diesem Ausführungsbeispiel der vorliegenden Erfindung betrachtet, da das Energieband der Oberflächenkanalschicht 5 durch den Grad der Austrittsarbeitsdifferenz  $V_{built}$  an dem PN-Übergang (in den PN-Übergang eingegebene Spannung) für die Basisbereiche 3a, 3b des p<sup>-</sup>-Typs und die Oberflächenkanalschicht 5 verglichen mit dem MOSFET des Inversionstyps gekrümmt ist und keine Spannung  $2\Phi_B$  für einen Inversionszustand notwendig ist, wobei die Schwellwertspannung  $V_{th}$  deshalb durch die folgende Gleichung (3) dargestellt ist.

$$V_{th} = V_{built} + \Phi_{ms} - (Q_s + Q_{fc} + Q_i + Q_{ss})/C_{oxide} \quad (3)$$

Anders ausgedrückt, da sich das Energieband aufgrund der Austrittsarbeitsdifferenz  $V_{built}$  an der PN-Übergangsseite der Oberflächenkanalschicht 5, der Austrittsarbeitsdifferenz  $\Phi_{ms}$  zwischen dem Polysilizium (Metall) und Halbleiter an der Gateisolationsfilmseite und des Grads einer Krümmung des Energiebands, der durch den Oxidfilm verursacht wird ( $(Q_s + Q_{fc} + Q_i + Q_{ss})/C_{oxide}$ ) krümmt, wird ein Anlegen einer Versatzspannung das Energieband abflachen und bewirken, daß Strom fließt. Deshalb ist die Schwellwertspannung  $V_{th}$  des MOSFET des Anreicherungstyps dieses Ausführungsbeispiels der vorliegenden Erfindung durch Gleichung (3) dargestellt.

Demgemäß wird gemäß diesem Ausführungsbeispiel der vorliegenden Erfindung eine Spannung, die größer als die Schwellwertspannung  $V_{th}$  ist, die durch Gleichung (3) dargestellt ist, als die Gateanlegespannung verwendet.

Im übrigen ist das Funktionsprinzip dieser Vorrichtung ähnlich zu dem eines vertikalen Kanal-JFET (siehe B. J. Ba-

# DE 198 09 554 A 1

liga, "Modem Power Devices", Kreiger Press, Malabar, Florida, 1992).

Diese normalerweise ausgeschaltete Vorrichtung des Anreicherungstyps kann auch einem Lawinendurchbruchszustand widerstehen. Um einen vertikalen Leistungs-MOSFET eines normalerweise ausgeschalteten Typs zu erzielen, ist es notwendig, daß er eine ausreichende Sperrsichthöhe aufweist, so daß die ausgedehnte Verarmungsschicht in der n<sup>-</sup>-Schicht die elektrische Leitung nicht verhindert, wenn keine Gatespannung angelegt ist. Die maximale Dicke der Epitaxiewachstumsschicht 5, die bei dem Aufbau eines normalerweise ausgeschalteten MOSFET eines planaren Typs verwendet wird, wird von der Störstellenkonzentration, der SiO<sub>2</sub>-Filmdecke und des Polysiliziumleitfähigkeittyps abhängen, der für die Gateelektrode verwendet wird.

Bei diesem Aufbau kann, um eine ausreichende Sperrsichthöhe zu erzielen, um eine Leitung zwischen der Source und dem Drain zu verhindern, die Dicke der Oberflächenkanalepischicht 5 unter Verwendung der nachstehend gegebenen Gleichung (4) bestimmt werden. Die Bedingungen sind durch die folgende Gleichung ausgedrückt:

$$T_{epi} = \sqrt{2\varepsilon_s / q \cdot \{N_D + N_A\} / N_D N_A \cdot V_{built}} + \sqrt{2\varepsilon_s / q \cdot N_D \cdot \{F_{ms} - (Q_s + Q_{fc} + Q_i + Q_{ss}) / C_{oxide}\}} \quad (4)$$

Hierbei ist T<sub>epi</sub> die Höhe der verarmten Schicht, die in die Schicht des n<sup>-</sup>-Typs diffundiert, ist N<sub>D</sub> die Donatorenkonzentration in dem Kanalbereich des n<sup>-</sup>-Typs, ist N<sub>A</sub> die Akzeptorenkonzentration des Basisbereichs des p<sup>-</sup>-Typs, ist V<sub>built</sub> die eingebaute Spannung des PN-Übergangs, ist F<sub>ms</sub> die Differenz der Austrittsarbeit des Gatepolysiliziums (Metalls) und des Halbleiters, ist Q<sub>s</sub> die Raumladung in dem Gateisolationsfilm, ist Q<sub>fc</sub> die festgelegte Oberflächenladung an dem SiO<sub>2</sub>/SiC-Übergang, sind Q<sub>i</sub> die beweglichen Ionen in dem Oxid mit einer Ladung, sind Q<sub>ss</sub> die geladenen Oberflächenzustände an dem SiO<sub>2</sub>/SiC-Übergang und ist C<sub>oxide</sub> die Kapazität des Gateisolationsfilms.

Der erste Ausdruck auf der rechten Seite von Gleichung (4) ist der Ausdehnungsgrad der verarmten Schicht aufgrund einer eingebauten Spannung V<sub>built</sub> an dem PN-Übergang zwischen der Oberflächenkanalschicht 5 und den Siliziumkarbidbasisbereichen 3a, 3b des p<sup>-</sup>-Typs, das heißt, der Ausdehnungsgrad der Verarmungsschicht von den Siliziumkarbidbasisbereichen 3a, 3b des p<sup>-</sup>-Typs zu der Oberflächenkanalschicht 5 und ist der zweite Ausdruck der Ausdehnungsgrad der Verarmungsschicht aufgrund der Ladung und ist F<sub>ms</sub> die Differenz der Austrittsarbeit des Gatepolysiliziums (Metalls) und der Siliziumkarbidkanalschicht 5, welche den Ausdehnungsgrad der Verarmungsschicht von dem Gateisolationsfilm 7 zu der Oberflächenkanalschicht 5 darstellt.

Folglich kann, wenn die Summe der Ausdehnung der Verarmungsschicht von den Siliziumkarbidbasisbereichen 3a, 3b des p<sup>-</sup>-Typs und der Ausdehnung der Verarmungsschicht von dem Gateisolationsfilm 7 größer als die Dicke der Oberflächenkanalschicht 5 hergestellt wird, der vertikale Leistungs-MOSFET als ein normalerweise ausgeschalteter Typ hergestellt werden.

Deshalb muß die Oberflächenkanalepischicht 5 eine niedrige Dicke (bezüglich der submikronen Größenordnung) aufweisen oder muß sie eine niedrige Konzentration aufweisen. Das heißt, wenn die Einfachheit einer Ausbildung betrachtet wird, ist die Dicke von dem Standpunkt einer Gleichmäßigkeit vorzugsweise größer und ist die Konzentration vorzugsweise höher, um einen Störstelleneinschluß in der Vorrichtung sicherzustellen.

Da dieser vertikale Leistungs-MOSFET des normalerweise ausgeschalteten Typs derart hergestellt werden kann, daß auch dann kein Strom fließt, wenn aufgrund eines Vorrichtungsausfalls oder dergleichen keine Spannung an die Gateelektrode angelegt wird, ist es möglich, eine größere Sicherheit als bei einem normalerweise eingeschalteten Typ sicherzustellen.

Ebenso sind die zweidimensionalen numerischen Simulationen ausgeführt worden, um eine Optimierung der Elementstrukturparameter, das heißt, der Dicke und Störstellenkonzentration der Oberflächenkanalepischicht 5 des n<sup>-</sup>-Typs und der Störstellenkonzentration der Siliziumkarbidbasisbereiche 3a, 3b des n<sup>-</sup>-Typs und der Siliziumkarbidepischicht 2 eines n<sup>-</sup>-Typs für eine Vorrichtungsdurchbruchspannung von 1000 V zu erzielen.

Fig. 10 zeigt einen Graph, der die Beziehung zwischen 30 der Durchbruchspannung, der Störstellenkonzentration und der Dicke der Oberflächenkanalepischicht 5 des n<sup>-</sup>-Typs darstellt.

Zwei unterschiedliche Dotierstofftypen sind für die Polysiliziumgateelektrode 8 in den Berechnungen berücksichtigt worden, das heißt, eine, in welche Störstellen des p-Typs dotiert worden sind, und eine andere, in welche Störstellen des n-Typs dotiert worden sind. Wenn Störstellen des p-Typs als die Polysiliziumgateelektrode 8 dotiert werden, betragen die Störstellenkonzentrationen der Oberflächenepitaxieschicht 5 1E17 cm<sup>-3</sup>, 1E16 cm<sup>-3</sup> und 1E15 cm<sup>-3</sup>, und wenn Störstellen des n-Typs als die Polysiliziumgateelektrode 8 dotiert werden, beträgt die Störstellenkonzentration der Oberflächenkanalepischicht 5 1E16 cm<sup>-3</sup>. Es ist aus Fig. 10 klar zu sehen, daß die Durchbruchspannung von der Dicke der Oberflächenkanalepischicht 5 abhängt. Die Durchbruchspannung hängt ebenso von dem Leitfähigkeittyp des Polysiliziums ab, das für die Gateelektrode 8 verwendet wird, und es versteht sich, daß, wenn die Oberflächenkanalepischicht 5 die gleiche Störstellenkonzentration aufweist, die Polysiliziumgateelektrode 8 des p-Typs besser als die Polysiliziumgateelektrode 8 des n-Typs ist (zum Beispiel kann die Oberflächenkanalepischicht 5 mit der gleichen Durchbruchspannung und Störstellenkonzentration dicker hergestellt werden). Anders ausgedrückt ist die Durchbruchspannung besser, wenn sie von dem entgegengesetzten Leitfähigkeittyp bezüglich der Oberflächenkanalepischicht 5 ist.

Weiterhin ist es gemäß dieser Erfindung unter Verwendung der Oberflächenkanalepischicht 5 des n<sup>-</sup>-Typs möglich, die Störstellenkonzentration des Kanalbereichs und die Störstellenkonzentration der Siliziumkarbidbasisbereiche 3a, 3b des p<sup>-</sup>-Typs getrennt zu steuern. Folglich wird durch getrenntes Steuern der Störstellenkonzentrationen von unterschiedlichen Bereichen ein Leistungs-MOSFET mit einer hohen Durchbruchspannung, einem niedrigen Durchlaßwiderstand und einer niedrigen Schwellspannung erzielt. Anders ausgedrückt ist es gemäß dem planaren MOSFET im Stand der Technik, wie er in Fig. 30 gezeigt ist, nicht möglich, die Störstellenkonzentrationen des Kanal- und Basisbereichs eines zweiten Leitfähigkeittyps getrennt zu steuern, um eine höhere Durchbruchspannung, einen niedrigen Durchlaßwider-

stand und eine niedrige Schwellwertspannung zu erzielen, aber dies ist mit der Vorrichtung gemäß der vorliegenden Erfindung möglich.

Fig. 30 zeigt eine Querschnittsansicht eines Siliziumkarbid-MOSFET eines planaren Typs im Stand der Technik. In Fig. 30 ist auf ein Siliziumkarbidhalbleitersubstrat 70 des n<sup>+</sup>-Typs eine Siliziumkarbidepitaxieschicht 71 des n<sup>-</sup>-Typs geschichtet und sind auf dem Oberflächenbereich der Siliziumkarbidepitaxieschicht 71 des n<sup>-</sup>-Typs ein Siliziumkarbidbasisbereich 72 eines p<sup>+</sup>-Typs und ein Sourcebereich 73 des n<sup>+</sup>-Typs durch Doppelionenimplantation ausgebildet. Ebenso befindet sich auf der Epitaxieschicht 71 des n<sup>-</sup>-Typs eine Gateelektrode 75 über einem Gateisolationsfilm 74 und die Gateelektrode 75 ist mit einem Isolationsfilm 76 bedeckt. Eine Sourceelektrode 77 ist derart angeordnet, daß sie den Siliziumkarbidbasisbereich 72 des p<sup>+</sup>-Typs und den Sourcebereich 73 des n<sup>+</sup>-Typs berührt, während sich eine Drainelektrode 78 auf der Rückseite des Siliziumkarbidhalbleitersubstrats 70 des n<sup>+</sup>-Typs befindet.

Es werden die Probleme im Stand der Technik bezüglich dessen betrachtet, daß der MOSFET im Stand der Technik den Basisbereich 72 und den Sourcebereich 73 verwendet, die durch Doppelionenimplantation ausgebildet sind, da das Diffusionsverfahren nicht in SiC angewendet werden kann. Deshalb hehlt der SiC/SiO<sub>2</sub>-Übergang eines Kanalbereichs, der durch Oxidation ausgebildet ist, die Kristallbeschädigung aufgrund einer Ionenimplantation, was zu einer hohen Übergangszustandsdichte führt. Ebenso kann aufgrund der schlechten Qualität der Ionenimplantation des Basisbereichs 72 des p<sup>+</sup>-Typs, welcher die Kanalschicht des Inversionstyps ausbildet, offensichtlich keine Verbesserung der Kanalbeweglichkeit erwartet werden. Im Gegensatz dazu kann in dem Ausführungsbeispiel der vorliegenden Erfindung, das in Fig. 1 gezeigt ist, ein reiner Übergang durch Ausbilden der Kanalschicht mit einer hochqualitativen Epitaxieschicht 5 erreicht werden.

Ebenso kann eine SiC-Schicht durch Ionenimplantation ebenso anstelle der Oberflächenkanalepischicht 5 verwendet werden. Das heißt, während die Epitaxieschicht 5 auf dem Substrat in Fig. 4 ausgebildet worden ist, kann alternativ, wie es in Fig. 11 gezeigt ist, N<sup>+</sup> in ein SiC-Substrat implantiert werden, um eine Kanalausbildungs-SiC-Schicht 25 des n<sup>-</sup>-Typs in dem Substratoberflächenbereich auszubilden.

Zusätzlich zu dem Aufbau für das zuvor beschriebene Ausführungsbeispiel der vorliegenden Erfindung, welches zum Anwenden an einem vertikalen MOSFET mit einem n-Kanal erklärt worden ist, kann der gleiche Effekt für vertikale MOSFETs mit einem p-Kanal durch Vertauschen des p-Typs und n-Typs in Fig. 1 erreicht werden.

Nachstehend erfolgt die Beschreibung eines zweiten Ausführungsbeispiels der vorliegenden Erfindung.  
Das zweite Ausführungsbeispiel der vorliegenden Erfindung wird nun unter Betonung bezüglich der Unterschiede verglichen mit dem ersten Ausführungsbeispiel der vorliegenden Erfindung erklärt.

Fig. 12 zeigt eine Querschnittsansicht eines MOSFET eines planaren Typs mit einem n-Kanal (vertikalen Leistungs-MOSFET) gemäß diesem Ausführungsbeispiel der vorliegenden Erfindung.

In Fig. 12 ist eine Siliziumkarbidepischicht 2 des n-Typs mit einer niedrigeren Dotierstoffkonzentration als das Substrat 1 auf die Hauptoberfläche eines Siliziumkarbidhalbleitersubstrats 1 des n<sup>+</sup>-Typs geschichtet. Auf vorbestimmten Bereichen des Oberflächenbereichs dieser Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs sind getrennt ein Siliziumkarbidbasisbereich 3a des p<sup>+</sup>-Typs und ein Siliziumkarbidbasisbereich 3b des p<sup>+</sup>-Typs ausgebildet, die eine vorbestimmte Dicke aufweisen. Ebenso ist auf einem vorbestimmten Bereich des Oberflächenbereichs des Siliziumkarbidbasisbereichs 3a des p<sup>+</sup>-Typs ein Sourcebereich 4a des n<sup>+</sup>-Typs ausgebildet, welcher flacher als der Basisbereich 3a ist, und ist auf einem vorbestimmten Bereich des Oberflächenbereichs des Siliziumkarbidbasisbereichs 3b des p<sup>+</sup>-Typs ein Sourcebereich 4b des n<sup>+</sup>-Typs ausgebildet, welcher flacher als der Basisbereich 3b ist.

Hierbei ist ein Abschnitt von jedem der Basisbereiche 3a, 3b dicker hergestellt. Das heißt, tiefe Basisbereiche 30a, 30b sind ausgebildet. Die Störstellenkonzentration an den verdickten Bereichen der Basisbereiche 3a, 3b (den tiefen Basisbereichen 30a, 30b) ist höher als die Störstellenkonzentration an den dünnen Bereichen. Ebenso sind die tiefen Basisbereiche 30a, 30b unter den Sourcebereichen 4a, 4b ausgebildet.

Weiterhin ist eine SiC-Schicht (Oberflächenkanalepischicht) 5 des n<sup>-</sup>-Typs auf dem Oberflächenbereich der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs und den Oberflächenbereichen der Siliziumkarbidbasisbereiche 3a, 3b des p<sup>+</sup>-Typs zwischen dem Sourcebereich 4a des n<sup>+</sup>-Typs und dem Sourcebereich 4b des n<sup>+</sup>-Typs ausgebildet. Die SiC-Schicht (Oberflächenkanalepischicht) 5 des n<sup>-</sup>-Typs ist durch epitaktisches Wachstum ausgebildet und sie dient während des Betriebs der Vorrichtung als die Kanalausbildungsschicht auf der Vorrichtungsoberfläche.

Hierbei ist das Siliziumkarbid, das das Halbleitersubstrat 1, die Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs, die Basisbereiche 3a, 3b und die Sourcebereiche 4a, 4b bildet, 6H-SiC, während das der Oberflächenkanalepischicht 5 3C-SiC ist.

Ebenso sind Vertiefungen 6a, 6b auf den Oberflächenbereichen der Siliziumkarbidbasisbereiche 3a, 3b des p<sup>+</sup>-Typs und der Sourcebereiche 4a, 4b des n<sup>+</sup>-Typs ausgebildet.

Ein Gateisolationsfilm (Siliziumoxidfilm) 7 ist auf der Oberseite der Oberflächenkanalepischicht 5 und der Sourcebereiche 4a, 4b des n<sup>+</sup>-Typs ausgebildet. Ebenso ist eine Polysiliziumgateelektrode 8 auf dem Gateisolationsfilm 7 ausgebildet, wobei diese Polysiliziumgateelektrode 8 mit einem Isolationsfilm 9 bedeckt ist. Eine Sourceelektrode 10 ist darüber ausgebildet und die Sourceelektrode 10 berührt die Sourcebereiche 4a, 4b des n<sup>+</sup>-Typs, und die Siliziumkarbidbasisbereiche 3a, 3b des p<sup>+</sup>-Typs. Eine Drainelektrodenschicht 11 ist ebenso auf der Rückseite 1b des Siliziumkarbidhalbleitersubstrats 1 das n<sup>+</sup>-Typs ausgebildet.

Nun wird ein Herstellungsverfahren für diesen Leistungs-MOSFET eines planaren Typs unter Bezugnahme auf die Fig. 13 bis 20 erklärt.

Zuerst wird, wie es in Fig. 13 gezeigt ist, ein 6H-SiC-Substrat 1 des n-Typs, das heißt, ein Siliziumkarbidhalbleitersubstrat 1 des n<sup>+</sup>-Typs vorbereitet und wird eine Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs epitaktisch bis zu einer Dicke von 5 bis 10 Mikrometern auf die Hauptoberfläche 1a des Substrats 1 aufgewachsen. In diesem Ausführungsbeispiel der vorliegenden Erfindung erhält die Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs die gleichen Kristalle wie das darunterliegende Substrat 1 für eine 6H-SiC-Schicht des n-Typs.

Ebenso wird, wie es in Fig. 14 gezeigt ist, ein Isolationsfilm 20 auf einem vorbestimmten Bereich der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs angeordnet und dieser wird als die Maske zur Ionenimplantation von Störstellen der Gruppe IIIA, das heißt, B<sup>+</sup>, Al<sup>+</sup> oder Ga<sup>+</sup> verwendet, um die Siliziumkarbidbasisbereiche 3a, 3b des p<sup>+</sup>-Typs auszubilden.

# DE 198 09 554 A 1

Nach einem Entfernen des Isolationsfilms 20 wird, wie es in Fig. 15 gezeigt ist, eine Oberflächenkanalepischicht des n<sup>-</sup>-Typs epitaktisch unter Verwendung einer LPCVD-Vorrichtung auf die Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs aufgewachsen. Als die Wachstumsbedingungen werden hierbei SiH<sub>4</sub>, C<sub>3</sub>H<sub>8</sub> und H<sub>2</sub> als die Quellengase verwendet und das SiH<sub>4</sub>/C<sub>3</sub>H<sub>8</sub>-Flußverhältnis beträgt [0, 5]. Die Wachstumstemperatur beträgt 1300°C. Dieses Verfahren ergibt eine 3C-SiC-Oberflächenkanalepischicht 5. Das heißt, eine 3C-SiC-Oberflächenkanalepischicht 5 wird durch Verringern der Temperatur auf 1200 bis 1300°C verglichen mit den herkömmlichen 1600°C und durch Ausbilden des Films mit einem höheren Si/C-Verhältnis, um die zweidimensionale Keimbildung zu verbessern, anstelle einer Schicht durch Schichtwachstum erzielt. Anders ausgedrückt wird eine 3C-SiC-{111}-Fläche auf der {0001}-Fläche des 6H-SiC ausgebildet.

Als nächstes werden, wie es in Fig. 16 gezeigt ist, Störstellen der Gruppe IIIA, das heißt, B+, Al+ oder Ga+, mit einer Maske (einem Isolationsfilm, usw.) 31 ionenimplantiert, die über der Oberflächenkanalepischicht 5 angeordnet ist, um tiefe Basisbereiche 30a, 30b auszubilden.

Ebenso wird, wie es in Fig. 17 gezeigt ist, die zuvor erwähnte Maske 31 zur Implantation von N+ verwendet, um Sourcebereiche 4a, 4b des n<sup>+</sup>-Typs auszubilden.

Nach einem Entfernen der Maske wird, wie es in Fig. 18 gezeigt ist, das Photoresistverfahren verwendet, um einen Isolationsfilm 22 auf einem vorbestimmten Bereich, der Oberflächenkanalepischicht 5 anzugeben, und dieser wird als eine Maske zum Ätzen von Abschnitten der Sourcebereiche 4a, 4b des n<sup>+</sup>-Typs und der Siliziumkarbidbasisbereiche 3a, 3b des p<sup>-</sup>-Typs durch RIE verwendet, um Vertiefungen 6a, 6b auszubilden.

Nach einem nachfolgenden Entfernen des Isolationsfilms 22 wird, wie es in Fig. 19 gezeigt ist, ein Gateisolationsfilm (Gateoxidfilm) 7 durch Na<sup>+</sup>-Oxidation auf dem Substrat ausgebildet. Eine Polysiliziumgateelektrode 8 wird dann durch LPCVD auf dem Gateisolationsfilm 7 abgeschieden.

Als nächstes wird, wie es in Fig. 20 gezeigt ist, nach einem Entfernen der unerwünschten Abschnitte des Gateisolationsfilms 7 ein Isolationsfilm 9 ausgebildet, um die Polysiliziumgateelektrode 8 zu bedecken. Ebenso werden, wie es in Fig. 12 gezeigt ist, die Sourceelektrode 10 und die Drainelektrode 11 durch Metallzerstäubung bei Raumtemperatur erzeugt. Ein Glühen wird dann bei 1000°C nach der Filmausbildung durchgeführt.

Dies vervollständigt den Leistungs-MOSFET eines planaren Typs.

Wenn der Leistungs-MOSFET eines planaren Typs ausgeschaltet ist, befindet er sich aufgrund einer Verarmung durch die Differenz der Austrittsarbeiten der Polysiliziumgateelektrode 8 und der Oberflächenkanalepischicht 5 und dem PN-Übergang zwischen den Siliziumkarbidbasisbereichen 3a, 3b des p<sup>-</sup>-Typs und der Oberflächenkanalepischicht 5 in einem Abschnürzustand.

Andererseits wird er durch Anlegen einer Spannung an die Polysiliziumgateelektrode 8 in eine Anreicherungsbetriebsart eingeschaltet, bei der die Ladungsträger auf der Oberflächenkanalepischicht 5 angereichert werden. In dem eingeschalteten Zustand fließen Elektronen von den Sourcebereichen 4a, 4b des n<sup>+</sup>-Typs durch die Oberflächenkanalepischicht 5 und von der Oberflächenkanalepischicht 5 zu der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs und fließen die Elektronen nach Erreichen der Siliziumkarbidepischicht 2 (des Driftbereichs) des n<sup>-</sup>-Typs vertikal zu dem Siliziumkarbidhalbleitersubstrat 1 des n<sup>-</sup>-Typs (Drain des n<sup>+</sup>-Typs).

Gemäß diesem Ausführungsbeispiel der vorliegenden Erfindung ist es, da 3C-SiC, welches eine hohe Beweglichkeit aufweist, als eine Oberflächenkanalepischicht 5, getrennt von der Substratseite SiC verwendet wird, möglich, die Transistoreigenschaften (den Durchlaßwiderstand) des FET stark zu verbessern und insbesondere, aufgrund dieser Verringerung des Durchlaßwiderstands, einen Verlust stark zu verringern, wenn er als ein Modul verwendet wird.

Anders ausgedrückt, wenn eine Oberflächenkanalepischicht 5 mit dem gleichen Kristallsystem/polymorph auf die Substratseite SiC aufgewachsen wird (zum Beispiel, wenn eine 6H-SiC-Epitaxieschicht auf dem 6H-SiC-Substrat ausgebildet wird und eine 4H-SiC-Epitaxieschicht auf dem 4H-SiC-Substrat ausgebildet wird), wird im allgemeinen 4H-SiC verwendet, das bevorzugte Charakteristiken ergibt, aber mit einem 4H-SiC-Substrat mit einer schlechten Qualität wird ebenso die Qualität der Epitaxieschicht beeinträchtigt. Im Gegensatz dazu ist es unter Verwendung einer Oberflächenkanalepischicht 5 mit einem unterschiedlichen Kristallsystem/polymorph zu der Substratseite möglich, ein SiC-Halbleitersubstrat mit guten Charakteristiken und einer hohen Zuverlässigkeit zu erzielen.

Die Kombination eines unterschiedlichen Kristallsystem/polymorphs der SiC-Substrate (1, 2, 3, 3a, 3b, 4a, 4b) und der Oberflächenkanalepischicht 5 kann ein 6H-SiC-Substrat und eine 3C-SiC-Epitaxieschicht 5 oder andere verschiedene Kombinationen, zum Beispiel ein 6H-SiC-Substrat und eine 4H-SiC-Epitaxieschicht 5 oder ein 4H-SiC-Substrat und eine 3C-SiC-Epitaxieschicht 5, sein.

Da tiefe Basisbereiche 30a, 30b auf den Basisbereichen 3a, 3b ausgebildet werden, um einen Abschnitt der Basisbereiche 3a, 3b zu verdicken, ist ebenso die Dicke an der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs unter den tiefen Basisbereichen 30a, 30b niedriger (der Abstand zwischen dem Siliziumkarbidhalbleitersubstrat 1 des n<sup>-</sup>-Typs und den tiefen Basisbereichen 30a, 30b ist verkürzt), was daher einen Durchbruch fördert. Da außerdem die Störstellenkonzentration an den tiefen Basisbereichen 30a, 30b höher als die Störstellenkonzentration an den dünnen Bereichen ist, wird weiterhin ein Durchbruch gefördert. Da die tiefen Basisbereiche 30a, 30b unter den Sourcebereichen 4a, 4b ausgebildet sind, ist es weiterhin möglich, einen gemeinsamen Gebrauch der Maske 31 zu machen, wie es in den Fig. 16 und 17 gezeigt ist.

Daher weist dieses Ausführungsbeispiel der vorliegenden Erfindung die folgenden Merkmale auf.

- (a) Das Siliziumkarbid, das das Halbleitersubstrat 1, die Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs, die Basisbereiche 3a, 3b und die Sourcebereiche 4a, 4b bildet, ist 6H, während das Siliziumkarbid der Oberflächenkanalepischicht 5 3C ist. Das heißt, das Siliziumkarbid, das das Halbleitersubstrat 1, die Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs, die Basisbereiche 3a, 3b und die Sourcebereiche 4a, 4b bildet, ist hexagonal, während das Siliziumkarbid der Oberflächenkanalepischicht 5 kubisch ist. Anders ausgedrückt, das Siliziumkarbid, das das Halbleitersubstrat 1, die Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs, die Basisbereiche 3a, 3b und die Sourcebereiche 4a, 4b bildet, und das Siliziumkarbid der Oberflächenkanalepischicht 5 weisen ein unterschiedliches Kristallsystem/polymorph auf. Daher ist es unter Verwendung einer Oberflächenkanalepischicht 5 mit einem unterschiedlichen Kristallsystem/polymorph zu dem der Substratseite möglich, eine SiC-Halbleitervorrichtung mit guten Charakteristiken und einer hohen Zuverlässigkeit.

keit zu erzielen.

(b) Da tiefe Basisbereiche 30a, 30b als verdickte Abschnitte der Basisbereiche 3a, 3b vorgesehen sind, wird ein Durchbruch erleichtert.

(c) Da die Störstellenkonzentration der tiefen Basisbereiche 30a, 30b höher als die Störstellenkonzentration der dünnern Bereiche ist, wird ein Durchbruch weiter erleichtert.

(d) Da die tiefen Basisbereiche 30a, 30b (verdickten Bereiche der Basisbereiche) unter den Sourcebereichen 4a, 4b ausgebildet sind, kann während der Herstellung die Maske 31 sowohl als die Maske zum Ausbilden eines tiefen Basisbereichs als auch die Maske zum Ausbilden eines Sourcebereichs verwendet werden, wie es in den Fig. 16 und 17 gezeigt ist, und kann daher der MOSFET eines planaren Typs in Fig. 12, ohne zu erhöhten Herstellungskosten zu führen, hergestellt werden.

Das heißt, wie es in Fig. 13 gezeigt ist, eine Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs wird auf der Hauptoberfläche 1a des Halbleitersubstrats 1 ausgebildet, und, wie es in Fig. 14 gezeigt ist, Basisbereiche 3a, 3b einer vorbestimmten Tiefe werden auf vorbestimmten Bereichen des Oberflächenbereichs der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs ausgebildet. Ebenso wird, wie es in Fig. 15 gezeigt ist, eine Oberflächenkanalepischicht 5 auf der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs angeordnet, werden, wie es in Fig. 16 gezeigt ist, tiefe Basisbereiche 30a, 30b, welche tiefer als die Basisbereiche 3a, 3b sind, auf vorbestimmten Bereichen der Basisbereiche 3a, 3b ausgebildet, und wird, wie es in Fig. 17 gezeigt ist, die Maske 31 zum Ausbilden eines tiefen Basisbereichs verwendet, um Sourcebereiche 4a, 4b auf vorbestimmten Bereichen der Oberflächenbereiche der Basisbereiche 3a, 3b bis zu einer flacheren Tiefe als die Basisbereiche 3a, 3b auszubilden. Dann wird eine Gateelektrode 8 auf der Oberfläche der Oberflächenkanalepischicht 5 über einem Gateelektrodenfilm 7 ausgebildet und wird eine Sourceelektrode 10 in Kontakt mit den Basisbereichen 3a, 3b und Sourcebereichen 4a, 4b ausgebildet.

Daher wird die Maske 31 zum Ausbilden eines tiefen Basisbereichs verwendet, um die Sourcebereiche 4a, 4b auszubilden, so daß sie als beide Masken verwendet werden kann.

Nachstehend erfolgt die Beschreibung eines dritten Ausführungsbeispiels der vorliegenden Erfindung.

Das dritte Ausführungsbeispiel der vorliegenden Erfindung wird nun unter Betonung bezüglich seiner Unterschiede zu dem zweiten Ausführungsbeispiel der vorliegenden Erfindung erklärt.

Fig. 21 zeigt eine Querschnittsansicht eines planaren vertikalen Leistungs-MOSFET mit einem n-Kanal gemäß diesem Ausführungsbeispiel der vorliegenden Erfindung.

In Fig. 21 sind die verdickten Bereiche der Basisbereiche 3a, 3b, das heißt, die tiefen Basisbereiche 30c, 30d an Stellen ausgebildet, die die Sourcebereiche 4a, 4b nicht überlappen. Dies hilft, die Zerstörung der Vorrichtung zu verhindern.

Der Grund dafür wird nun erklärt.

Ein Durchbruch tritt an den tiefen Basisbereichen 30c, 30d auf und ein Durchbruchstrom fließt zwischen der Sourceelektrode 10 und der Drain elektrode 11. Zu einem derartigen Zeitpunkt tritt, wenn ein Sourcebereich in dem Pfad des Durchbruchstromflusses vorhanden ist, ein Spannungsabfall in dem Sourcebereich auf, wird der PN-Übergang mit den Basisbereichen 3a, 3b des p-Typs vorwärts vorgespannt und beginnt deshalb der NPN-Transistor, der aus der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs, dem Basisbereich 3a (3b) und dem Sourcebereich 4a (4b) besteht, zu arbeiten, was einen großen Strom erzeugt und das Element erwärmt, was bezüglich einer Zuverlässigkeit unerwünscht sein kann. Folglich kann dieser Zustand durch Entfernen der Sourcebereiche 4a, 4b aus dem Hauptpfad eines Durchbruchstromflusses, wie es gemäß diesem Ausführungsbeispiel der Erfindung ist, vermieden werden.

Somit weist dieses Ausführungsbeispiel der vorliegenden Erfindung das folgende Merkmal auf.

Da die verdickten Bereiche der Basisbereiche 3a, 3b (die tiefen Basisbereiche 30c, 30d) an Stellen vorgesehen sind, die die Sourcebereiche 4a, 4b nicht überlappen, ist es möglich, eine Zerstörung zu vermeiden.

Nachstehend erfolgt die Beschreibung eines vierten Ausführungsbeispiels der vorliegenden Erfindung.

Das vierte Ausführungsbeispiel der vorliegenden Erfindung wird nun unter Betonung bezüglich seiner Unterschiede zu dem ersten Ausführungsbeispiel der vorliegenden Erfindung erklärt.

Fig. 22 zeigt eine Querschnittsansicht eines planaren MOSFET mit einem n-Kanal (vertikalen Leistungs-MOSFET) gemäß diesem Ausführungsbeispiel der vorliegenden Erfindung.

In Fig. 22 dehnt sich eine SiC-Schicht 40 des n<sup>-</sup>-Typs auf der Oberfläche der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs aus. Das heißt, die SiC-Schicht 40 des n<sup>-</sup>-Typs ist derart angeordnet, daß sie die Sourcebereiche 4a, 4b auf den Oberflächenbereichen der Basisbereiche 3a, 3b und die Siliziumkarbidschicht 2 des n<sup>-</sup>-Typs verbindet. Diese SiC-Schicht 40 des n<sup>-</sup>-Typs ist durch epitaktisches Wachstum ausgebildet und die Kristalle des Epitaxiefilms sind 3C.

Ebenso dient die SiC-Schicht 40 des n<sup>-</sup>-Typs als die Kanalausbildungsschicht auf der Vorrichtungsoberfläche während des Betriebs der Vorrichtung. Die SiC-Schicht 40 des n<sup>-</sup>-Typs wird hier im weiteren Verlauf als die Oberflächenkanalepischicht bezeichnet.

Daher überlappt die Oberflächenkanalepischicht 40 mit einem Abschnitt S von jedem der Sourcebereiche 4a, 4b. Genauer gesagt bedeckt die Oberflächenkanalepischicht 40 nicht die Gesamtheit der Sourcebereiche 4a, 4b.

Der Rest des Aufbaus ist der gleiche wie in Fig. 1 und mit gleichen Bezugszeichen bezeichnet und seine Erklärung wird weggelassen.

Ein Herstellungsverfahren für diesen Leistungs-MOSFET eines planaren Typs wird unter Bezugnahme auf die Fig. 23 bis 27 erklärt.

Als erstes wird, wie es in Fig. 23 gezeigt ist, ein 6H-SiC-Substrat 1 des n<sup>-</sup>-Typs, das heißt, ein Siliziumkarbidhalbleitersubstrat 1 des n<sup>-</sup>-Typs, vorbereitet, und wird eine Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs bis zu einer Dicke von 5 bis 10 Mikrometern epitaktisch auf die Hauptoberfläche 1a des Substrats 1 aufgewachsen. In diesem Ausführungsbeispiel der vorliegenden Erfindung erhält die Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs die gleichen Kristalle wie das darunterliegende Substrat 1 für eine 6H-SiC-Schicht des n<sup>-</sup>-Typs.

Ebenso wird, wie es in Fig. 24 gezeigt ist, ein Isolationsfilm 20 auf einem vorbestimmten Bereich der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs angeordnet und dieser wird als eine Maske zur Ionenimplantation von Störstellen der Gruppe

# DE 198 09 554 A 1

III A, das heißt, B+ Al+ oder Ga+, verwendet, um die Siliziumkarbidbasisbereiche 3a, 3b des p-Typs auszubilden.

Nach einem Entfernen des Isolationsfilms 20 wird, wie es in Fig. 25 gezeigt ist, ein Isolationsfilm 41 auf einem vorbestimmten Bereich der Siliziumkarbidepischicht 2 des n-Typs angeordnet, und dieser wird als eine Maske zur Ionenimplantation von N+ verwendet, um die Sourcebereiche 4a, 4b des n-Typs auszubilden.

Nach einem Entfernen des Isolationsfilms 41 wird, wie es in Fig. 26 gezeigt ist, eine Oberflächenkanalepischicht 40 des n-Typs epitaktisch auf die Siliziumkarbidschicht 2 des n-Typs aufgewachsen. Als die Wachstumsbedingungen werden hierbei SiH<sub>4</sub>, C<sub>3</sub>H<sub>8</sub> und H<sub>2</sub> als die Quellengase verwendet und das Si/C-Verhältnis beträgt [0, 5]. Die Wachstums-temperatur beträgt 1200°C. Dieses Verfahren ergibt eine 3C-SiC-Oberflächenkanalepischicht 40.

Als nächstes wird, wie es in Fig. 27 gezeigt ist, die unnötige Oberflächenkanalepischicht 40 entfernt. Das heißt, ein Maskenmaterial M eines Photoresistmaterials, ein SiO<sub>2</sub>-Film, ein Si<sub>3</sub>N<sub>4</sub>-Film oder dergleichen wird ausgebildet und die unnötige Oberflächenkanalepischicht 40 wird durch Trockenätzten (zum Beispiel RIE) entfernt. Wenn das Maskenmaterial M ein Si<sub>3</sub>N<sub>4</sub>-Film ist, kann die Oberflächenkanalepischicht 40 thermisch oxidiert werden, um sie zum Entfernen zu einem Oxidfilm zu wandeln. Wenn die Oberflächenkanalepischicht 40 durch Trockenätzten entfernt wird, werden die Oberflächen der Sourcebereiche 4a, 4b des n-Typs und der Siliziumkarbidbasisbereiche 3a, 3b des p-Typs, die durch das Ätzen freigelegt werden, durch daß Trockenätzten aufgerauht, aber die aufgerauhten Oberflächen können durch Oxidation entfernt werden.

Dann wird, wie es in Fig. 22 gezeigt ist, ein Gateisolationsfilm (Gateoxidfilm) 7 ausgebildet. Dann wird eine Polysiliziumgateelektrode 8 durch LPCVD auf den Gateisolationsfilm 7 abgeschieden. Ein Isolationsfilm 9 wird dann derart ausgebildet, daß er den Gateisolationsfilm 7 bedeckt. Ebenso werden eine Sourceelektrode 10 und eine Drainelektrode 11 durch Metallzerstäubung bei Raumtemperatur erzeugt. Dann wird ein Glühen bei 1000°C nach der Filmausbildung durchgeführt.

Dies vervollständigt den Leistungs-MOSFET eines planaren Typs.

Wenn der Leistungs-MOSFET eines planaren Typs ausgeschaltet ist, befindet er sich aufgrund einer Verarmung durch die Differenz der Austrittsarbeiten der Polysiliziumgateelektrode 8 und der Oberflächenkanalepischicht 40 und dem PN-Übergang zwischen den Siliziumkarbidbasisbereichen 3a, 3b des p-Typs und der Oberflächenkanalepischicht 40 in einem Abschutz Zustand.

Andererseits wird er durch Anlegen einer Spannung an die Polysiliziumgateclocktrode 8 in die Anreicherungsbereichsart eingeschaltet, bei der sich die Ladungsträger auf der Oberflächenkanalepischicht 40 anreichern. In dem eingeschalteten Zustand fließen Elektronen von den Sourcebereichen 4a, 4b des n-Typs durch die Oberflächenkanalepischicht 40 und von der Oberflächenkanalepischicht 40 zu der Siliziumkarbidepischicht 2 des n-Typs und fließen die Elektronen nach irgendeiner der Siliziumkarbidschicht 2 (des Driftbereichs) des n-Typs vertikal zu dem Siliziumkarbidhalbleitersubstrat 1 des n-Typs.

Hierbei bildet die Kontaktstelle S zwischen den Sourcebereichen 4a, 4b und der Oberflächenkanalepischicht 40 den Kontaktbereich, so daß mit der Oberflächenkanalepischicht 40 verglichen mit dem Aufbau in Fig. 1 ein größerer Kontaktbereich erzielt wird.

Daher weist dieses Ausführungsbeispiel die vorliegenden Merkmale auf.

(a) Da die Oberflächenkanalepischicht 40 einen Aufbau aufweist, welcher mit einem Abschnitt von jedem der Sourcebereiche 4a, 4b überlappt, ist es möglich, den Kontaktbereich von den Sourcebereichen 4a, 4b zu der Oberflächenkanalepischicht 40 aufzuweiten.

(b) Als das Herstellungsverfahren wird in diesem Fall, wie es in Fig. 23 gezeigt ist, eine Siliziumkarbidepischicht 2 des n-Typs auf der Hauptoberfläche des Halbleitersubstrats 1 ausgebildet, werden, wie es in Fig. 24 gezeigt ist, Basisbereiche 3a, 3b einer vorbestimmten Tiefe auf vorbestimmten Bereichen des Oberflächenbereichs der Siliziumkarbidepischicht 2 des n-Typs ausgebildet und werden, wie es in Fig. 25 gezeigt ist, Sourcebereiche 4a, 4b einer flacheren Tiefe als die Basisbereiche 3a, 3b auf vorbestimmten Bereichen der Oberflächenbereiche der Basisbereiche 3a, 3b ausgebildet. Ebenso wird, wie es in Fig. 26 gezeigt ist, die Oberflächenkanalepischicht 40 epitaktisch auf die Siliziumkarbidepischicht 2 des n-Typs aufgewachsen und wird, wie es in Fig. 27 gezeigt ist, die unnötige Oberflächenkanalepischicht 40 von der Oberflächenkanalepischicht 40 entfernt, die auf den Abschnitten der Sourcebereiche 4a, 4b verbleibt. Außerdem wird, wie es in Fig. 22 gezeigt ist, die Gateelektrode 8 auf der Oberfläche der Oberflächenkanalepischicht 40 mit dem sich dazwischen befindenden Gateisolationsfilm 7 ausgebildet, während die Sourceelektrode 10 in Kontakt mit den Basisbereichen 3a, 3b und den Sourcebereichen 4a, 4b ausgebildet wird. Die Halbleitervorrichtung in Punkt (a) ist daher auf diese Weise hergestellt.

Dieses Ausführungsbeispiel der vorliegenden Erfindung kann auf die folgende Weise angewendet werden.

Wie es in Fig. 28 gezeigt ist, ist ein Bereich von jedem der Basisbereiche 3a, 3b verdickt. Das heißt, tiefe Basisbereiche 50a, 50b sind ausgebildet. Die Störstellenkonzentration an den verdickten Bereichen der Basisbereiche 3a, 3b (den tiefen Basisbereichen 50a, 50b) ist höher als die Störstellenkonzentration an den dünnen Bereichen. Ebenso sind die tiefen Basisbereiche 50a, 50b unter den Sourcebereichen 4a, 4b ausgebildet.

Die Vertiefungen 6a, 6b sind ebenso in den Sourcebereichen 4a, 4b ausgebildet, die auf die gleiche Weise wie in den ersten und zweiten Ausführungsbeispielen der vorliegenden Erfindung die Sourceelektrode 10 berühren. Diese erhöht den Kontaktbereich mit der Elektrode um den Grad der Vertiefungen 6a, 6b.

Alternativ sind, wie es in Fig. 29 gezeigt ist, tiefe Basisbereiche 50c und 50d als Bereiche einer größeren Dicke in den Basisbereichen 3a, 3b ausgebildet und diese tiefen Basisbereiche 50c, 50d sind an Stellen ausgebildet, die nicht mit den Sourcebereichen 4a, 4b überlappen. Dies hilft, ihre Zerstörung zu verhindern.

Ebenso kann das Kristallsystem/polymorph des Siliziumkarbids, das das Halbleitersubstrat 1, die Siliziumkarbidepischicht 2 des n-Typs, die Basisbereiche 3a, 3b und die Sourcebereiche 4a, 4b bildet, das gleiche wie das Kristallsystem/polymorph des Siliziumkarbids der Oberflächenkanalepischicht 40 sein.

Nachstehend erfolgt die Beschreibung eines fünften Ausführungsbeispiels der vorliegenden Erfindung.

# DE 198 09 554 A 1

Fig. 31 zeigt eine Querschnittsansicht eines normalerweise ausgeschalteten planaren vertikalen Leistungs-MOSFET mit einem n-Kanal gemäß diesem Ausführungsbeispiel der vorliegenden Erfindung. Diese Vorrichtung ist zur Anwendung an Invertern oder Wechselspannungsgebernoren für Fahrzeuge geeignet.

Der Aufbau des vertikalen Leistungs-MOSFET wird nun unter Bezugnahme auf Fig. 31 erklärt. Jedoch werden, da der vertikale Leistungs-MOSFET dieses Ausführungsbeispiels der vorliegenden Erfindung im allgemeinen den gleichen Aufbau wie der MOSFET aufweist, der in Fig. 1 gezeigt ist, lediglich die unterschiedlichen Aspekte erklärt. Die Aspekte des vertikalen Leistungs-MOSFET dieses Ausführungsbeispiels der vorliegenden Erfindung, welche die gleichen wie diejenigen des MOSFET sind, der in Fig. 1 gezeigt ist, sind mit gleichen Bezugszeichen bezeichnet.

In dem MOSFET, der in Fig. 1 gezeigt ist, ist die Oberflächenkanalschicht 5 vollständig aus einer Schicht eines n<sup>-</sup>-Typs hergestellt, aber in dem vertikalen Leistungs-MOSFET dieses Ausführungsbeispiels der vorliegenden Erfindung ist der Kanalbereichabschnitt 5a der Oberflächenkanalschicht aus einer Schicht eines n<sup>-</sup>-Typs ausgebildet, während die anderen Bereiche 5b als der Kanalbereich aus einer Schicht eines n<sup>+</sup>-Typs ausgebildet sind.

Das heißt, die Oberflächenkanalschicht 5 ist derart ausgebildet, daß sie die Sourcebereiche 4a, 4b und die Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs auf den Oberflächenbereichen der Siliziumkarbidbasisbereiche 3a, 3b des p<sup>-</sup>-Typs und den Oberflächenbereich der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs verbindet, aber die Oberflächenbereiche der Siliziumkarbidbasisbereiche 3a, 3b des p<sup>-</sup>-Typs bestehen aus Schichten des n<sup>+</sup>-Typs, während der Oberflächenbereich der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs aus einer Schicht eines n<sup>+</sup>-Typs besteht.

Bezüglich des inneren Anreicherungsdriftwiderstands R<sub>acc-drift</sub> der Oberflächenkanalschicht 5 ist, da die anderen Bereiche 5b als der Kanalbereichabschnitt 5a der Oberflächenkanalschicht 5 aus einer Schicht des n<sup>+</sup>-Typs ausgebildet sind, der Innenwiderstand von diesen Abschnitten 5b kleiner als wenn sie aus einer Schicht des n<sup>-</sup>-Typs ausgebildet sind. Folglich ist die Summe des Durchlaßwiderstands R<sub>on</sub> kleiner, was zuläßt, daß der Durchlaßwiderstand R<sub>on</sub> verringert wird.

Der Durchlaßwiderstand R<sub>on</sub> eines planaren vertikalen Leistungs-MOSFET wird durch den Kontaktwiderstand R<sub>s-com</sub> zwischen der Sourceelektrode und den Sourcebereichen des n<sup>+</sup>-Typs, den inneren Driftwiderstand R<sub>source</sub> der Sourcebereiche den n<sup>+</sup>-Typs, den Anreicherungskanalwiderstand R<sub>channel</sub> in dem Kanalbereich, der in der Oberflächenkanalschicht ausgebildet ist, den inneren Anreicherungsdriftwiderstand R<sub>acc-drift</sub> der Oberflächenkanalschicht, den JFET-Widerstand R<sub>JFET</sub> des JFET-Bereichs, den inneren Driftwiderstand R<sub>drift</sub> der Siliziumkarbidkanalepischicht des n<sup>-</sup>-Typs, den inneren Widerstand R<sub>sub</sub> des Siliziumkarbidhalbleitersubstrats des n<sup>+</sup>-Typs und den Kontaktwiderstand R<sub>d-com</sub> zwischen dem Siliziumkarbidhalbleitersubstrat des n<sup>+</sup>-Typs und der Drainelektrode bestimmt. Die Summe der vorhergehenden Komponenten bildet den Durchlaßwiderstand. Das heißt, er ist durch die folgende Gleichung (5) dargestellt.

$$R_{on} = R_{s-com} + R_{source} + R_{channel} + R_{acc-drift} + R_{JFET} + R_{drift} + R_{sub} + R_{d-com} \quad (5)$$

Fig. 32 zeigt einen Vergleich der Drainstrom/Drainspannungskarakteristiken des vertikalen Leistungs-MOSFET dieses Ausführungsbeispiels der vorliegenden Erfindung, das in Fig. 31 gezeigt ist, und von einem, wie er zum Beispiel in Fig. 1 gezeigt ist, bei dem die anderen Bereiche als der Kanalbereich der Oberflächenkanalschicht 5 ebenso aus einer Schicht des n<sup>-</sup>-Typs hergestellt sind. Diese Darstellung zeigt die Änderung des Drainstroms, wenn die Gateanlegespannung geändert wird.

Wie es in Fig. 32 gezeigt ist, ist, wenn die anderen Bereiche 5b als der Kanalbereich der Oberflächenkanalschicht 5 aus einer Schicht des n<sup>-</sup>-Typs bestehen, der Drainstrom größer als wenn die anderen Bereiche 5b als der Kanalbereich aus einer Schicht des n<sup>-</sup>-Typs bestehen. Dies besteht aufgrund des verringerten Durchlaßwiderstands R<sub>on</sub> des vertikalen Leistungs-MOSFET. Daher ist es durch Herstellen der anderen Bereiche 5b als der Kanalbereich der Oberflächenkanalschicht 5 mit einer Schicht des n<sup>+</sup>-Typs möglich, den Durchlaßwiderstand R<sub>on</sub> des vertikalen Leistungs-MOSFET weiter zu verringern.

Ebenso sind tiefe Basisschichten 30a, 30b ausgebildet, welche verdickte Bereiche der Basisbereiche 3a, 3b sind. Die tiefen Basisschichten 30a, 30b sind auf Bereichen ausgebildet, die nicht mit dem Sourcebereich des n<sup>+</sup>-Typs überlappen, und die verdickten Bereiche, an denen die tiefen Basisbereiche 30a, 30b in den Siliziumkarbidbasisbereichen 3a, 3b des p<sup>-</sup>-Typs ausgebildet sind, weisen eine höhere Störstellenkonzentration als die dünneren Bereiche auf, auf welchem die tiefen Basisschichten 30a, 30b nicht ausgebildet sind.

Mit diesen tiefen Basisschichten 30a, 30b wird die Dicke der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs unter den tiefen Basisschichten 30a, 30b verringert (der Abstand zwischen dem Siliziumkarbidhalbleitersubstrat 1 des n<sup>+</sup>-Typs und der tiefen Basisschicht 30a, 30b wird verkürzt), was eine Erhöhung der Feldintensität zuläßt und einen Lawinendurchbruch erleichtert.

Da die tiefen Basisschichten 30a, 30b auf Bereichen ausgebildet sind, die nicht mit dem Sourcebereich des n<sup>+</sup>-Typs überlappen, ergibt sich der folgende Zustand.

Ein Lawinendurchbruch tritt an den tiefen Basisbereichen 30a, 30b auf und eine Durchbruchstrom fließt deshalb zwischen der Sourceelektrode 10 und der Drainelektrode 11. Zu einem derartigen Zeitpunkt tritt, wenn der Pfad eines Durchbruchstromflusses (Stromflusses positiver Löcher) die Basisbereiche 3a, 3b des p<sup>-</sup>-Typs, die zwischen den Sourcebereichen 4a, 4b und dem Driftbereich 2 des n<sup>-</sup>-Typs beidseitig umfaßt sind, ist, ein Spannungsabfall in den Sourcebereichen 3a, 3b des p<sup>-</sup>-Typs auf, wird der PN-Übergang zwischen den Basisbereichen 3a, 3b des p<sup>-</sup>-Typs und den Sourcebereichen 4a, 4b vorwärts vorgespannt und beginnt deshalb der parasitäre NPN-Transistor, der aus der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs, den Basisbereichen 3a, 3b und den Sourcebereichen 4a, 4b gebildet ist, zu arbeiten, was einen großen Strom erzeugt. Das Element wird daher erwärmt, was bezüglich einer Zuverlässigkeit unerwünscht sein kann. Folglich kann dieses Problem vermieden werden, da die tiefen Basisbereiche 30a, 30b auf Bereichen ausgebildet sind, die nicht mit dem Sourcebereich des n<sup>+</sup>-Typs überlappen.

Ein Herstellungsverfahren für den vertikalen Leistungs-MOSFET, der in Fig. 31 gezeigt ist, wird nun unter Bezugnahme auf die Fig. 33 bis 41 erklärt.

Es folgt die Beschreibung des in Fig. 33 gezeigten Schritts.

# DE 198 09 554 A 1

Zuerst wird ein 4H-, 6H- oder 3C-SiC-Substrat 1, das heißt, ein Siliziumkarbidhalbleitersubstrat 1 des n<sup>+</sup>-Typs vorbereitet. Hierbei beträgt die Dicke des Siliziumkarbidhalbleitersubstrats 1 des n<sup>+</sup>-Typs 400 Mikrometer und ist die Hauptoberfläche 1a ist die (0001)-Si-Fläche, die (0001)-C-Fläche, die (1120)-a-Fläche oder die (1100)-Prismafläche. Eine Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs wird epitaktisch bis zu einer Dicke von 5 bis 10 Mikrometern auf die Hauptoberfläche 1a des Substrats 1 aufgewachsen. In diesem Ausführungsbeispiel der vorliegenden Erfindung erhält die Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs die gleichen Kristalle wie das darunterliegende Substrat 1 für eine 2H-, 4H-, 6H-, 15R- oder 3C-SiC-Schicht.

Es folgt die Beschreibung des in Fig. 34 gezeigten Schritts.

Ein Isolationsfilm 20 wird auf einem vorbestimmten Bereich der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs angeordnet und dieser wird als die Maske zur Ionenimplantation von Störstellen der Gruppe IIIA, das heißt, B+, Al+ oder Ga+, verwendet, um die Siliziumkarbidsbasisbereiche 3a, 3b des p<sup>-</sup>-Typs auszubilden. Die Ionenimplantationsbedingungen sind eine Temperatur von 700°C und eine Dosis von 1E14 cm<sup>-2</sup>.

Es folgt die Beschreibung des in Fig. 35 gezeigten Schritts.

Nach einem Entfernen des Isolationsfilms 20 wird eine Ionenimplantation von N<sup>+</sup> von der Oberseite des Substrats 1 bewirkt, um eine Oberflächenkanalschicht 5 auf dem Oberflächenbereich der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs und den Oberflächenbereichen (Oberflächenschichtabschnitten) der Siliziumkarbidsbasisbereiche 3a, 3b des p<sup>-</sup>-Typs auszubilden. Die Ionenimplantationsbedingungen sind eine Temperatur von 700°C und eine Dosis von 1E12 cm<sup>-2</sup>. Daher wird die Oberflächenkanalschicht 5 auf den Oberflächenbereichen der Basisbereiche 3a, 3b des p<sup>-</sup>-Typs kompensiert, die dort als eine Schicht des n<sup>-</sup>-Typs mit einer niedrigen Störstellenkonzentration des n<sup>-</sup>-Typs ausgebildet ist, und wird auf dem Oberflächenbereich der Siliziumkarbidschicht 2 des n<sup>-</sup>-Typs als eine Schicht des n<sup>+</sup>-Typs mit einer hohen Störstellenkonzentration des n<sup>-</sup>-Typs ausgebildet.

In diesem Ausführungsbeispiel der vorliegenden Erfindung wird der Oberflächenkanal mit einer Ionenimplantation in Siliziumkarbid hergestellt, da es, wenn die Herstellung unter Verwendung von Silizium durchgeführt wird, schwierig wird, den Grad einer thermischen Diffusion der Störstellen in die Oberflächenkanalschicht 5 zu steuern, was Bemühungen erschwert, einen MOSFET eines normalerweise ausgeschalteten Typs mit dem gleichen Aufbau herzustellen, wie er zuvor beschrieben worden ist. Folglich ist es unter Verwendung von SiC, wie es gemäß diesem Ausführungsbeispiel der vorliegenden Erfindung ist, möglich, einen vertikalen Leistungs-MOSFET mit einer größeren Genauigkeit als unter Verwendung von Silizium herzustellen.

Außerdem ist es, um einen vertikalen Leistungs-MOSFET eines normalerweise ausgeschalteten Typs zu erzielen, notwendig, die Dicke der Oberflächenkanalschicht 5 derart einzustellen, daß sie die Bedingung von Gleichung (5), die zuvor erwähnt worden ist, erfüllt; jedoch wird es notwendig, da V<sub>biul</sub> niedrig ist, wenn Silizium verwendet wird, die Oberflächenkanalschicht 5 mit einer niedrigen Dicke und mit einer niedrigen Störstellenkonzentration auszubilden, was es schwierig macht, den Grad einer Streuung der Störstellenionen zu steuern, und dies erschwert stark eine Herstellung. Weiterhin ist, wenn SiC verwendet wird, V<sub>biul</sub> ungefähr dreimal höher als bei Silizium, was eine Ausbildung einer dicken Schicht eines n<sup>-</sup>-Typs und einer hohen Störstellenkonzentration zuläßt; und es wird deshalb einfacher, einen normalerweise ausgeschalteten MOSFET eines Anreicherungstyps herzustellen.

Es folgt die Beschreibung des in Fig. 36 gezeigten Schritts.

Ein Isolationsfilm 21 wird auf einem vorbestimmten Bereich der Oberflächenkanalschicht 5 angeordnet und dieser wird als die Maske zur Ionenimplantation von N<sup>+</sup> verwendet, um die Sourcebereiche 4a, 4b des n<sup>+</sup>-Typs auszubilden. Die Ionenimplantationsbedingungen sind eine Temperatur von 700°C und eine Dosis von 1E15 cm<sup>-2</sup>.

Es folgt die Beschreibung des in Fig. 37 gezeigten Schritts.

Nach einem Entfernen des Isolationsfilms 21 wird das Photoresistverfahren verwendet, um einen Isolationsfilm 22 auf einem vorbestimmten Bereich der Oberflächenkanalschicht 5 anzurichten, und dieser wird als eine Maske zum teilweisen Ätzen der Oberflächenkanalschicht 5 auf den Siliziumkarbidsbasisbereichen 3a, 3b des p<sup>-</sup>-Typs durch RIE verwendet.

Es folgt die Beschreibung des in Fig. 38 gezeigten Schritts.

Ebenso wird der Isolationsfilm 22 als eine Maske zur Ionenimplantation von B+ verwendet, um tiefe Basisschichten 30a, 30b auszubilden. Diese erzeugt dickere Bereiche auf den Basisbereichen 3a, 3b. Die tiefen Basisschichten 30a, 30b werden auf Bereichen ausgebildet, die nicht mit den Sourcebereichen 4a, 4b des n<sup>+</sup>-Typs überlappen und die verdickten Bereiche, an denen die tiefen Basisschichten 30a, 30b in den Siliziumkarbidsbasisbereichen 3a, 3b des p<sup>-</sup>-Typs ausgebildet werden, weisen eine höhere Störstellenkonzentration als die dünnen Bereiche auf, auf welchen die tiefen Basisschichten 30a, 30b nicht ausgebildet sind.

Es folgt die Beschreibung des in Fig. 39 gezeigten Schritts.

Nach einem Entfernen des Isolationsfilms 22 wird ein Gateisolationsfilm (Gateoxidfilm) 7 durch Na<sup>+</sup>-Oxidation auf dem Substrat ausgebildet. Hierbei beträgt die Atmosphärentemperatur 1080°C.

Dann wird eine Polysiliziumgateelektrode 8 durch LPCVD auf dem Gateisolationsfilm 7 angehäuft. Die Filmausbildungstemperatur beträgt hierbei 600°C.

Es folgt die Beschreibung des in Fig. 40 gezeigten Schritts.

Als nächstes wird nach einem Entfernen der unerwünschten Abschnitte des Gateisolationsfilms 7 ein Isolationsfilm 9 derart ausgebildet, daß er den Gateisolationsfilm 7 bedeckt. Genauer gesagt, beträgt die Filmausbildungstemperatur 425°C und wird ein Glühen bei 1000°C nach der Filmausbildung durchgeführt.

Es folgt die Beschreibung des in Fig. 41 gezeigten Schritts.

Ebenso werden eine Sourceelektrode 10 und eine Drainelektrode 11 durch Metallzerstäubung bei Raumtemperatur erzeugt. Dann wird ein Glühen bei 1000°C nach der Filmausbildung durchgeführt.

Gemäß diesem Ausführungsbeispiel der vorliegenden Erfindung befindet, wenn die Leistungsvorrichtung ausgeschaltet ist, sie sich aufgrund einer Verarmung durch die Differenz der Austrittsarbeiten der Polysiliziumgateelektrode 8 und der Oberflächenkanalschicht 5a, 5b und dem PN-Übergang zwischen den Siliziumkarbidsbasisbereichen 3a, 3b des p<sup>-</sup>-Typs und der Oberflächenkanalschicht 5a, 5b in einem Abschlußzustand. Andererseits wird sie durch Anlegen einer

Spannung an die Polysiliziumgateelektrode 8 in eine Anreicherungsbetriebsart eingeschaltet, bei der sich die Ladungsträger auf der Oberflächenkanalschicht 5a angereichern. In dem eingeschalteten Zustand fließen die Elektronen von den Sourcebereichen 4a, 4b des n<sup>+</sup>-Typs durch die Oberflächenkanalschicht 5a des n<sup>-</sup>-Typs und von der Oberflächenkanalschicht Sb des n<sup>+</sup>-Typs zu der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs und fließen die Elektronen nach Erreichen der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs (Driftbereichs) vertikal zu dem Siliziumkarbidhalbleitersubstrat 1 des n<sup>+</sup>-Typs.

Ebenso befinden sich, wie es in Fig. 31 gezeigt ist, die Siliziumkarbidbasisbereiche 3a, 3b des p<sup>-</sup>-Typs in Kontakt mit der Sourceelektrode 10 und sind daher an Masse gelegt. Folglich kann die eingebaute Spannung V<sub>built</sub> an dem PN-Übergang zwischen der Oberflächenkanalschicht 5 und den Siliziumkarbidbasisbereichen 3a, 3b des p<sup>-</sup>-Typs verwendet werden, um die Oberflächenkanalschicht 5 zu einem Abschnürzustand zu bringen. Zum Beispiel kann die verarmte Schicht, wenn die Siliziumkarbidbasisbereiche 3a, 3b des p<sup>-</sup>-Typs nicht an Masse gelegt sind und sich in einem schwebenden Zustand befinden, unter Verwendung der eingebauten Spannung V<sub>built</sub> nicht von den Siliziumkarbidbasisbereichen 3a, 3b des p<sup>-</sup>-Typs ausgedehnt werden, und kann deshalb der Kontakt zwischen den Siliziumkarbidbasisbereichen 3a, 3b des p<sup>-</sup>-Typs und der Sourceelektrode 10 als eine wirksame Struktur zum Bringen der Oberflächenkanalschicht 5 zu einem Abschnürzustand betrachtet werden. Gemäß diesem Ausführungsbeispiel der vorliegenden Erfindung werden die Siliziumkarbidbasisbereiche 3a, 3b des p<sup>-</sup>-Typs mit einer niedrigen Störstellenkonzentration ausgebildet, kann aber die eingebaute Spannung V<sub>built</sub> auch weiter mit einer hohen Störstellenkonzentration verwendet werden.

Dies vervollständigt den vertikalen Leistungs-MOSFET, der in Fig. 31 gezeigt ist.

Dieses Ausführungsbeispiel der vorliegenden Erfindung weist die folgenden Merkmale auf.

Durch Herstellen der Störstellenkonzentration des Bereichs der Oberflächenkanalschicht, die sich auf dem Oberflächenbereich der Epitaxischicht befindet, daß sie höher als die der Epitaxischicht ist, ist es möglich, den Widerstand der anderen Bereiche der Oberflächenkanalschicht als den Kanalbereich (Anreicherungsdrittwiderstand der Kanalschicht) zu verringern, was den Durchlaßwiderstand des MOSFET verringert. Dies läßt zu, daß für den MOSFET ein ziemlich niedriger Durchlaßwiderstand erzielt wird.

Nachstehend erfolgt die Beschreibung eines sechsten Ausführungsbeispiels der vorliegenden Erfindung.

In dem vorhergehenden Ausführungsbeispiel der vorliegenden Erfindung wird die Oberflächenkanalschicht 5 durch direkte Ionenimplantation in den Oberflächenbereich der Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs und die Oberflächenbereiche (Oberflächenbeschichten) der Siliziumkarbidbasisbereiche 3a, 3b des p<sup>-</sup>-Typs ausgebildet, wird aber, wie es in Fig. 42 gezeigt ist, eine Oberflächenkanalschicht 5 des n<sup>-</sup>-Typs epitaktisch über sie aufgewachsen, worauf die Störstellenkonzentration des n<sup>-</sup>-Typs an den anderen Bereichen als dem Kanalbereich der Oberflächenkanalschicht 5 durch einen Photostoss und eine Ionenimplantation selektiv angehoben werden kann. Jedoch ist es, da dieses Verfahren die Anzahl von Herstellungsschritten erhöht, für vertikale Leistungs-MOSFETs bevorzugt, daß sie durch das Verfahren des vorhergehenden Ausführungsbeispiels der vorliegenden Erfindung hergestellt werden.

Nachstehend erfolgt die Beschreibung eines siebten Ausführungsbeispiels der vorliegenden Erfindung.

Ebenso können, wie es in Fig. 43 gezeigt ist, nach einem Ausbilden der Sourcebereiche 4a, 4b des n<sup>+</sup>-Typs, wenn eine Oberflächenkanalschicht 40 epitaktisch auf die Oberflächen der Sourcebereiche 4a, 4b des n<sup>+</sup>-Typs oder die Siliziumkarbidbasisbereiche 3a, 3b des p<sup>-</sup>-Typs und die Siliziumkarbidepischicht 2 des n<sup>-</sup>-Typs aufgewachsen wird, die anderen Bereiche als der Kanalbereich als eine Schicht des n<sup>-</sup>-Typs ausgebildet werden. Jedoch ist in diesem Fall ebenso, da die Anzahl von Herstellungsschritten um ein epitaktisches Wachstum der Oberflächenkanalschicht erhöht werden muß, dem eine Ionimplantation folgt, wie in dem Fall, der in Fig. 42 gezeigt ist, das Verfahren gemäß dem vorhergehenden Ausführungsbeispiel der vorliegenden Erfindung wirksamer.

Weiterhin ist in den vorhergehenden Ausführungsbeispielen der vorliegenden Erfindung die Anwendung an einem vertikalen MOSFET mit einem n-Kanal beschrieben worden. Das Vertauschen des p-Typs und des n-Typs miteinander in jedem Ausführungsbeispiel der vorliegenden Erfindung, daß heißt, ein vertikaler MOSFET mit einem P-Kanal bietet den gleichen Effekt.

Gemäß der vorhergehenden Beschreibung wird eine Halbleitervorrichtung geschaffen, die ein Halbleitersubstrat, das Siliziumkarbid eines ersten Leitfähigkeitstyps aufweist, eine Siliziumkarbidepitaxischicht des ersten Leitfähigkeitstyps, einen ersten Halbleiterbereich, der auf dem Halbleitersubstrat ausgebildet ist und, Siliziumkarbid eines zweiten Leitfähigkeitstyps aufweist, einen zweiten Halbleiterbereich, der auf dem ersten Halbleiterbereich ausgebildet ist, Siliziumkarbid des ersten Leitfähigkeitstyps aufweist und durch den ersten Halbleiterbereich von dem Halbleitersubstrat des ersten Leitfähigkeitstyps getrennt ist, einen dritten Halbleiterbereich, der auf dem Halbleiterbereich ausgebildet ist, der mit dem Halbleitersubstrat und dem zweiten Halbleiterbereich verbunden ist, der Siliziumkarbid des ersten Leitfähigkeitstyps aufweist und einen höheren Widerstand als das Halbleitersubstrat aufweist, und eine Gateelektrode aufweist, die auf dem dritten Halbleiterbereich über einer Isolationsschicht ausgebildet ist, wobei der dritte Halbleiterbereich verarmt ist, wenn keine Spannung an die Gateelektrode angelegt ist, so daß die Halbleitervorrichtung eine normalerweise ausgeschaltete Charakteristik aufweist.

#### Patentansprüche

1. Halbleitervorrichtung, die aufweist:  
ein Halbleitersubstrat eines ersten Leitfähigkeitstyps, das einkristallines Siliziumkarbid und eine Siliziumkarbidepitaxieschicht des ersten Leitfähigkeitstyps aufweist, welche auf der Hauptseite des Halbleitersubstrats ausgebildet ist;  
einen ersten Halbleiterbereich, der auf der Siliziumkarbidepitaxieschicht ausgebildet ist und Siliziumkarbid eines zweiten Leitfähigkeitstyps aufweist;
- 60       einen zweiten Halbleiterbereich, der auf dem ersten Halbleiterbereich ausgebildet ist, Siliziumkarbid des ersten Leitfähigkeitstyps aufweist und durch den ersten Halbleiterbereich von der Siliziumkarbidepitaxieschicht des ersten Leitfähigkeitstyps getrennt ist;  
einen dritten Halbleiterbereich, der auf dem ersten Halbleiterbereich ausgebildet ist, der mit der Siliziumkarbidepi-

# DE 198 09 554 A 1

taxieschicht und dem zweiten Halbleiterbereich verbunden ist, der Siliziumkarbid des ersten Leitfähigkeits Typs aufweist und einen höheren Widerstand als das Halbleitersubstrat aufweist; und eine Gateelektrode, die mit einer sich dazwischen befindenden Isolationsschicht auf dem dritten Halbleiterbereich ausgebildet ist, wobei

der dritte Halbleiterbereich verarmt ist, wenn keine Spannung an die Gateelektrode angelegt ist, so daß die Halbleitervorrichtung eine normalerweise ausgeschaltete Charakteristik aufweist. 5

2. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die normalerweise ausgeschaltete Charakteristik des dritten Halbleiterbereichs durch wechselseitiges Verbinden einer Verarmungsschicht, welche sich von der Gateelektrode in den dritten Halbleiterbereich ausdehnt, und einer Verarmungsschicht erzielt wird, welche sich von dem zweiten Halbleiterbereich in den dritten Halbleiterbereich ausdehnt. 10

3. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Gateelektrode eine Polysiliziumgateelektrode ist und die Polysiliziumgateelektrode einen Leitfähigkeits Typ aufweist, der zu dem des dritten Halbleiterbereichs entgegengesetzt ist.

4. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß der erste Halbleiterbereich Siliziumkarbid des zweiten Leitfähigkeits Typs ist und einen höheren Widerstand als die Siliziumkarbidepitaxieschicht oder das Halbleitersubstrat aufweist; 15

der erste Halbleiterbereich ein Basisbereich ist, der bis zu einer vorbestimmten Tiefe auf einem vorbestimmten Bereich der Siliziumkarbidepitaxieschicht ausgebildet ist;

der zweite Halbleiterbereich ein Sourcebereich ist, der auf einem vorbestimmten Bereich der Oberflächenschicht des Basisbereichs ausgebildet ist und eine flachere Tiefe als der Basisbereich aufweist; 20

der dritte Halbleiterbereich eine Oberflächenkanalschicht ist, die aus Siliziumkarbid des ersten Leitfähigkeits Typs besteht, einen höheren Widerstand als das Halbleitersubstrat aufweist und derart auf der Oberfläche des Basisbereichs angeordnet ist, daß er den Sourcebereich und den ersten Halbleiterbereich verbindet, wobei die Oberflächenkanalschicht verarmt ist, wenn keine Spannung an die Gateelektrode angelegt ist, um eine normalerweise ausgeschaltete Charakteristik aufzuweisen; und 25

die Halbleitervorrichtung weiterhin einen Gateisolationsfilm, der auf der Oberflächenkanalschicht ausgebildet ist, eine Gateelektrode, die auf dem Gateisolationsfilm ausgebildet ist, eine Sourceelektrode, die derart ausgebildet ist, daß sie den Basisbereich und den Sourcebereich berührt, und eine Drainelektrode aufweist, die auf der Rückseite des Halbleitersubstrats ausgebildet ist.

5. Halbleitervorrichtung nach Anspruch 4, dadurch gekennzeichnet, daß der Bereich der Oberflächenkanalschicht, welcher auf der Oberfläche der Siliziumkarbidepitaxieschicht angeordnet ist, einen niedrigeren Widerstand als die Siliziumkarbidepitaxieschicht aufweist. 30

6. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Hauptoberfläche des Siliziumkarbid-halbleitersubstrats die (0001)-Si-Fläche oder die (1120)-a-Fläche für eine niedrige Übergangszustandsdichte an dem Siliziumkarbid/Isolatorübergang ist. 35

7. Halbleitervorrichtung nach Anspruch 4, dadurch gekennzeichnet, daß die Dotierstoffkonzentration der Oberflächenkanalschicht nicht größer als die Dotierstoffkonzentrationen der Siliziumkarbidepitaxieschicht und des Basisbereichs ist. 40

8. Halbleitervorrichtung nach Anspruch 4, dadurch gekennzeichnet, daß die Gateelektrode ein erstes Austrittspotential aufweist, der Basisbereich ein zweites Austrittspotential aufweist, die Oberflächenkanalschicht ein drittes Austrittspotential aufweist und die ersten, zweiten und dritten Austrittspotentiale derart eingestellt sind, daß die Ladungsträger des ersten Leitfähigkeits Typs in der Oberflächenkanalschicht verarmt sind. 45

9. Halbleitervorrichtung nach Anspruch 8, dadurch gekennzeichnet, daß die ersten, zweiten und dritten Austrittspotentiale derart eingestellt sind, daß die Ladungsträger des ersten Leitfähigkeits Typs in der Oberflächenkanalschicht verarmt sind, wenn sich die Gateelektrode bezüglich dem Drainbereich an Nullpotential befindet. 50

10. Halbleitervorrichtung nach Anspruch 4, dadurch gekennzeichnet, daß die Oberflächenkanalschicht durch epitaktisches Wachstum oder Ionenimplantation ausgebildet ist. 55

11. Halbleitervorrichtung nach Anspruch 4, dadurch gekennzeichnet, daß die Oberflächenkanalschicht durch epitaktisches Wachstum ausgebildet ist und das Kristallsystem/polymorph des Siliziumkarbids, das das Halbleitersubstrat, die Siliziumkarbidepitaxieschicht, den Basisbereich und den Sourcebereich bildet, zu dem des Siliziumkarbids der Oberflächenkanalschicht unterschiedlich ist. 60

12. Halbleitervorrichtung nach Anspruch 11, dadurch gekennzeichnet, daß das Siliziumkarbid, daß das Halbleitersubstrat, die Siliziumkarbidepitaxieschicht, den Basisbereich und den Sourcebereich bildet, von einem hexagonalen System ist, während das Siliziumkarbid der Oberflächenkanalschicht von einem kubischen System ist. 65

13. Halbleitervorrichtung nach Anspruch 4, dadurch gekennzeichnet, daß die Oberflächenkanalschicht durch epitaktisches Wachstum ausgebildet ist und das Siliziumkarbid, das das Halbleitersubstrat, die Siliziumkarbidepitaxieschicht, den Basisbereich und den Sourcebereich bildet, 6H-SiC ist, während das Siliziumkarbid der Oberflächenkanalschicht 3C-SiC ist. 70

14. Halbleitervorrichtung nach Anspruch 4, dadurch gekennzeichnet, daß ein Abschnitt des Basisbereichs dicker hergestellt ist. 75

15. Halbleitervorrichtung nach Anspruch 14, dadurch gekennzeichnet, daß die Störstellenkonzentration des verdickten Bereichs des Basisbereichs höher als die Störstellenkonzentration der dünnern Bereiche hergestellt ist. 80

16. Halbleitervorrichtung nach Anspruch 14, dadurch gekennzeichnet, daß der verdickte Bereich des Basisbereichs unter dem Sourcebereich ausgebildet ist. 85

17. Halbleitervorrichtung nach Anspruch 14, dadurch gekennzeichnet, daß der verdickte Bereich des Basisbereichs an einer Stelle ausgebildet ist, die nicht mit dem Sourcebereich überlappt. 90

18. Halbleitervorrichtung nach Anspruch 4, dadurch gekennzeichnet, daß die Oberflächenkanalschicht mit einem Abschnitt des Sourcebereichs überlappt. 95

# DE 198 09 554 A 1

19. Halbleitervorrichtung, die aufweist:

ein Halbleitersubstrat, das aus Siliziumkarbid eines ersten Leitfähigkeitsstyps und einer Siliziumkarbidepitaxie-schicht des ersten Leitfähigkeitsstyps besteht, welche auf der Hauptseite des Halbleitersubstrats ausgebildet ist; einen ersten Halbleiterbereich, der auf dem Siliziumkarbidsubstrat ausgebildet ist und aus Siliziumkarbid eines zweiten Leitfähigkeitsstyps besteht;

einen zweiten Halbleiterbereich der auf dem ersten Halbleiterbereich ausgebildet ist und aus Siliziumkarbid des ersten Leitfähigkeitsstyps besteht;

einen dritten Halbleiterbereich, der auf dem ersten Halbleiterbereich ausgebildet ist, der die Siliziumkarbidepitaxie-schicht und den zweiten Halbleiterbereich verbindet, der aus Siliziumkarbid des ersten Leitfähigkeitsstyps besteht und eine niedrigere Dotierstoffkonzentration als das Halbleitersubstrat aufweist; und eine Gateelektrode, die über einer Isolationsschicht auf dem dritten Halbleiterbereich ausgebildet ist, wobei die Dicke des dritten Halbleiterbereichs eine derartige Dicke (in submikroner Größenordnung) ist, daß eine vollständige Verarmung auftritt, wenn keine Spannung an die Gateelektrode angelegt ist.

20. Halbleitervorrichtung, die aufweist:

ein Halbleitersubstrat, das aus Siliziumkarbid eines ersten Leitfähigkeitsstyps und einer Siliziumkarbidepitaxie-schicht des ersten Leitfähigkeitsstyps besteht, welche auf der Hauptseite des Halbleitersubstrats ausgebildet ist; einen ersten Halbleiterbereich, der auf dem Siliziumkarbidsubstrat ausgebildet ist und aus Siliziumkarbid eines zweiten Leitfähigkeitsstyps besteht;

einen zweiten Halbleiterbereich, der auf dem ersten Halbleiterbereich ausgebildet ist und aus Siliziumkarbid des ersten Leitfähigkeitsstyps besteht;

einen dritten Halbleiterbereich, der auf dem ersten Halbleiterbereich ausgebildet ist, der die Siliziumkarbidepitaxie-schicht und den zweiten Halbleiterbereich befindet, der aus Siliziumkarbid des ersten Leitfähigkeitsstyps besteht und eine niedrigere Dotierstoffkonzentration als das Halbleitersubstrat aufweist; und eine Gateelektrode, die über einer Isolationsschicht auf dem dritten Halbleiterbereich ausgebildet ist, wobei

die Störstellenkonzentration des Bereichs der Oberflächenkanalschicht, die sich auf dem Oberflächenbereich der Epitaxieschicht befindet, höher als die des verbleibenden Bereichs der Oberflächenkanalepitaxieschicht und der Siliziumkarbidepitaxieschicht ist, wodurch der Durchlaßwiderstand verringert ist.

Hierzu 21 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

**- Leerseite -**

Fig.1

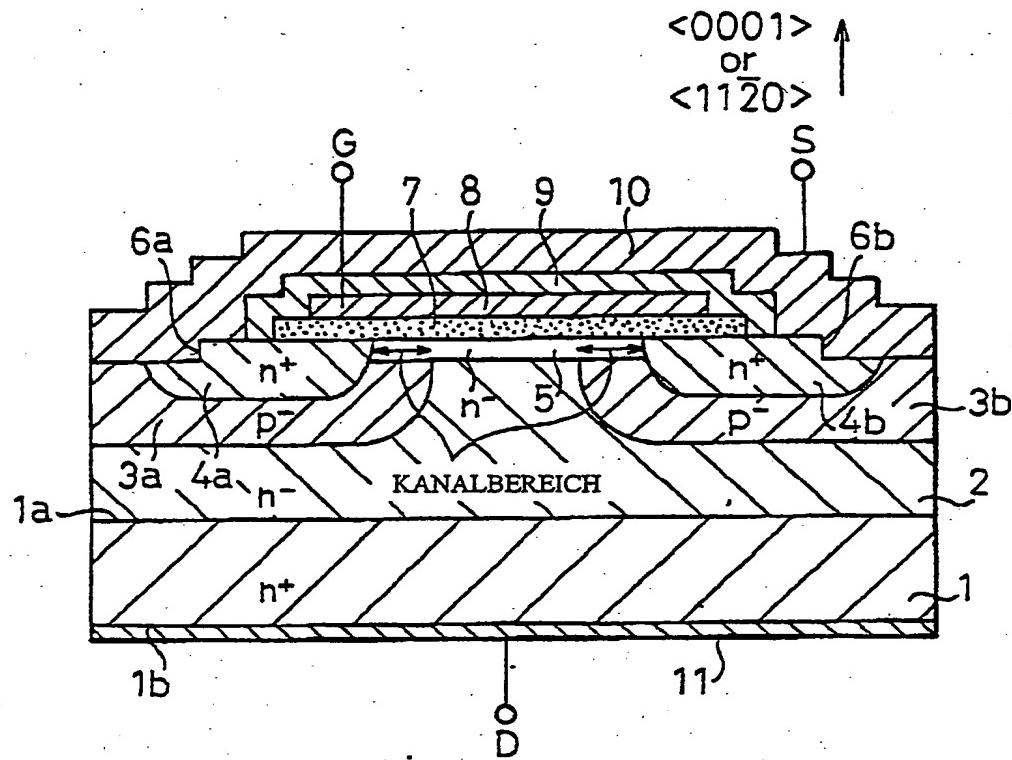


Fig.2

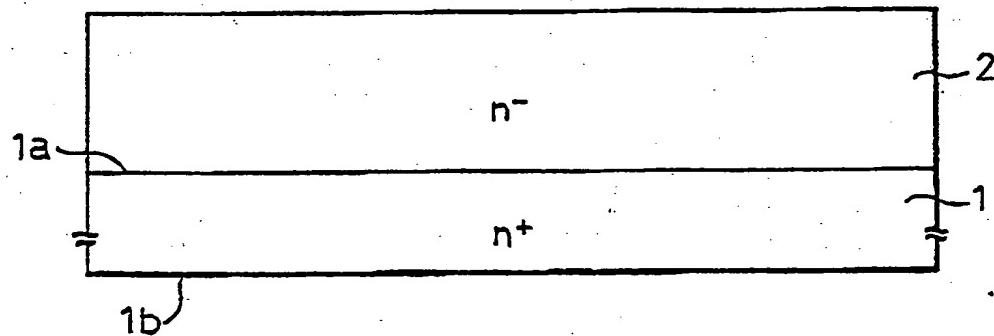


Fig. 3

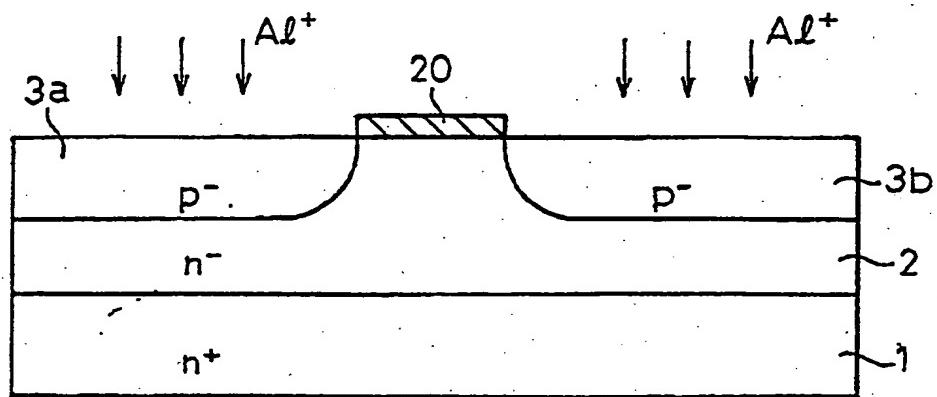


Fig. 4

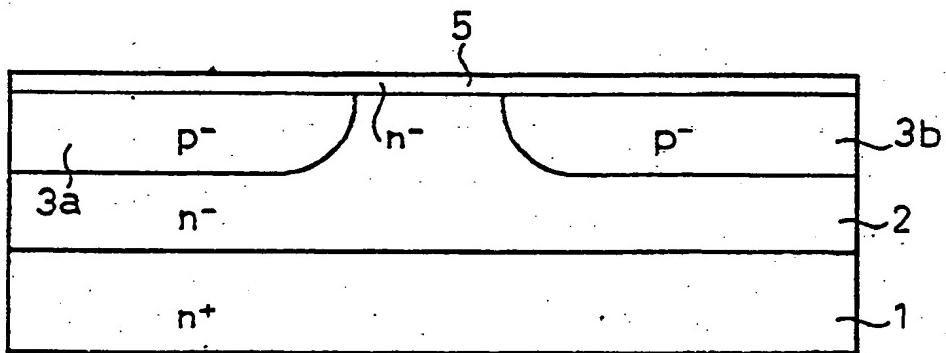


Fig. 5

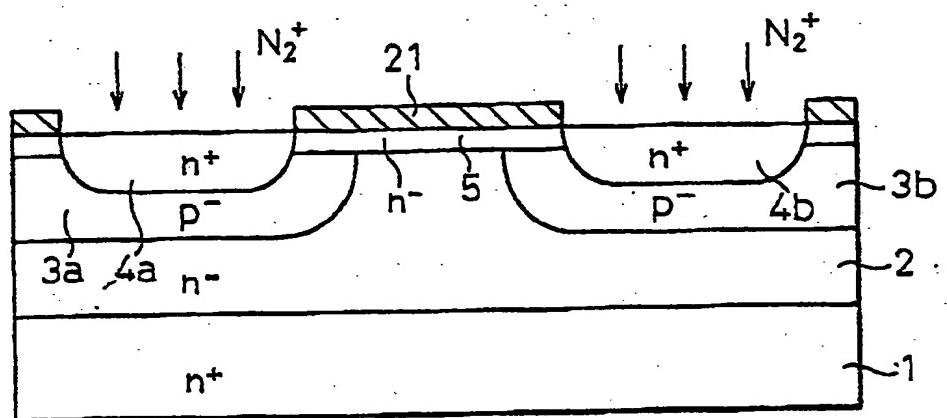


Fig. 6

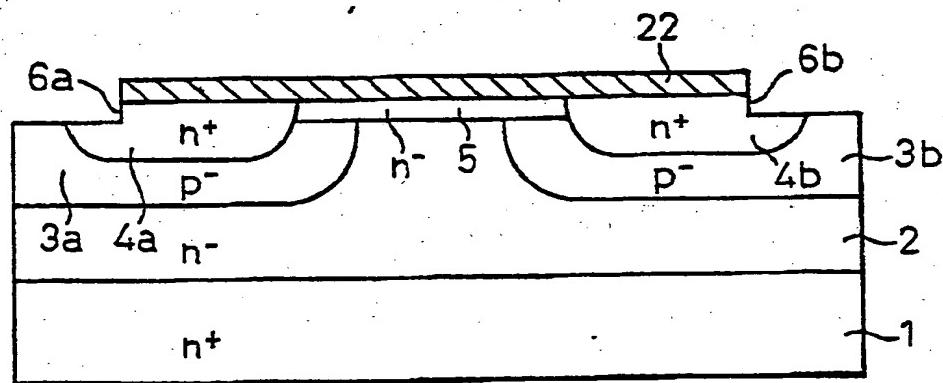


Fig. 7

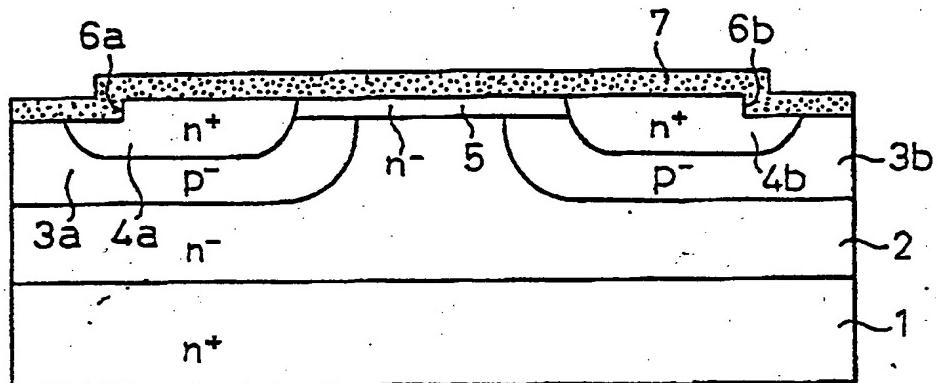


Fig. 8

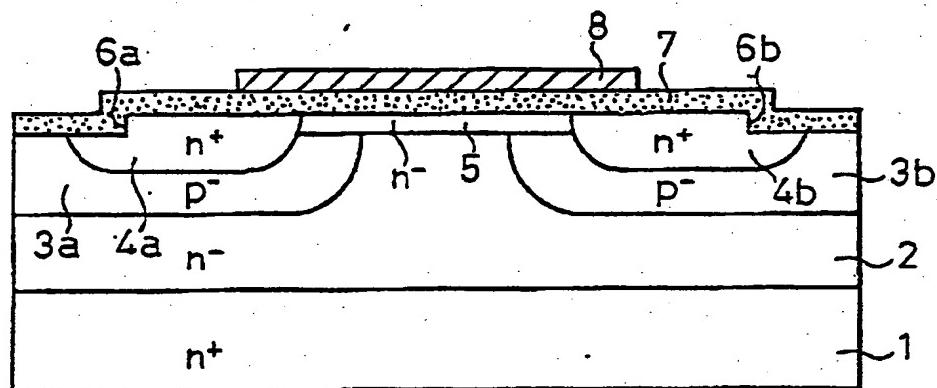


Fig. 9

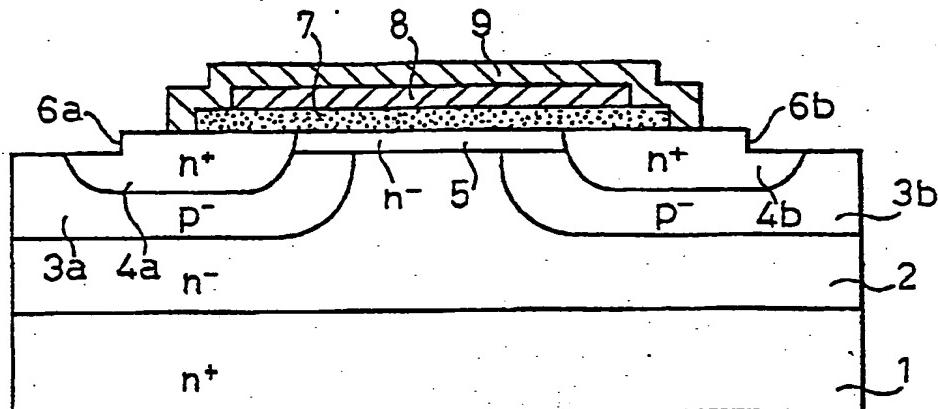
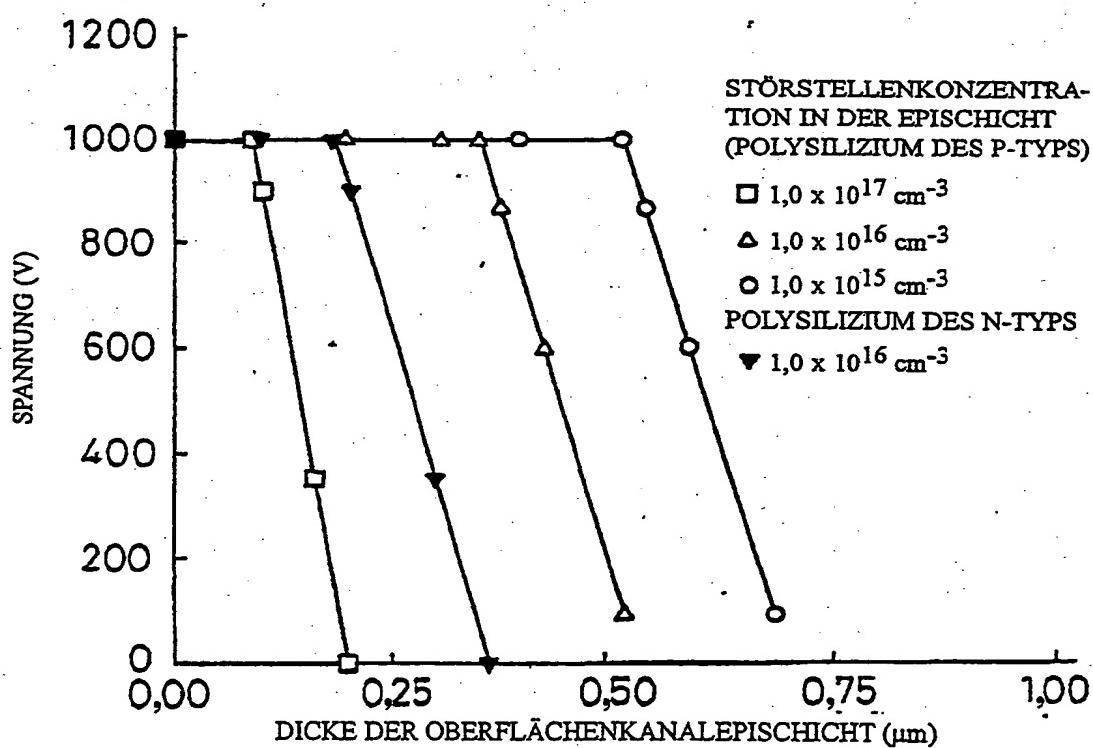


Fig. 10



STÖRSTELLENKONZENTRATION IN DER EPISCHICHT  
(POLYSILIZIUM DES P-TYP)

□ 1,0 × 10<sup>17</sup> cm<sup>-3</sup>

△ 1,0 × 10<sup>16</sup> cm<sup>-3</sup>

○ 1,0 × 10<sup>15</sup> cm<sup>-3</sup>

POLYSILIZIUM DES N-TYP

▼ 1,0 × 10<sup>16</sup> cm<sup>-3</sup>

Fig.11

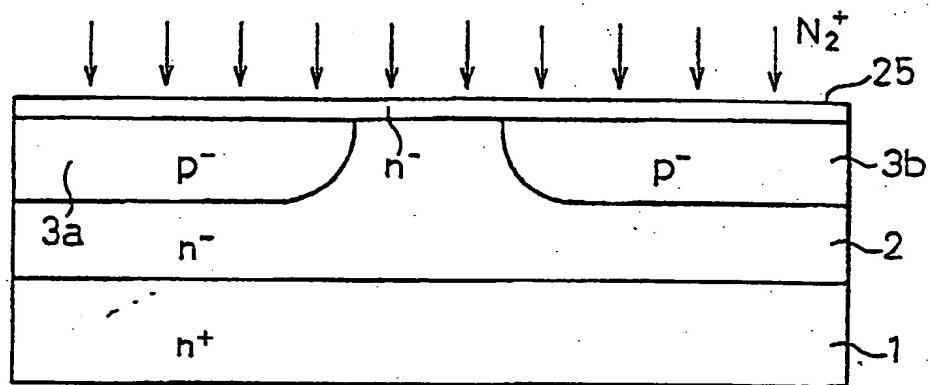


Fig.12

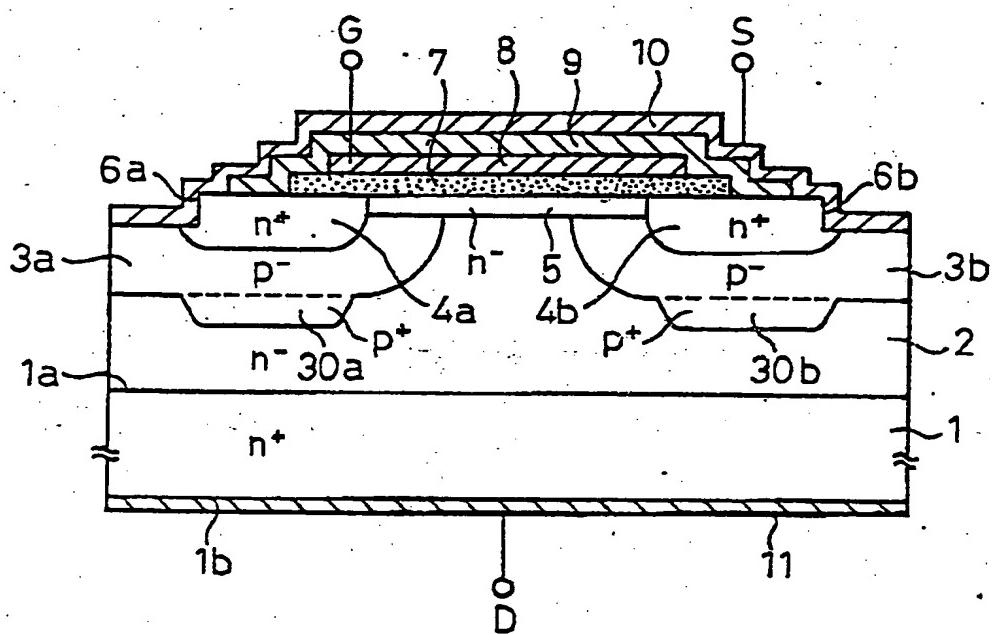


Fig.13

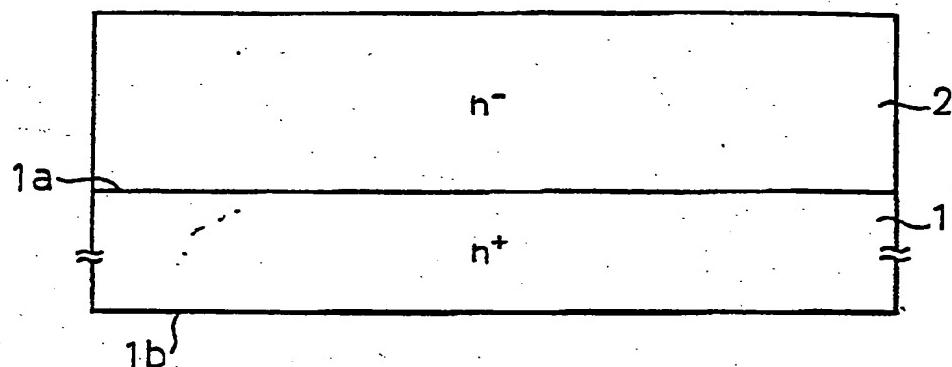


Fig.14

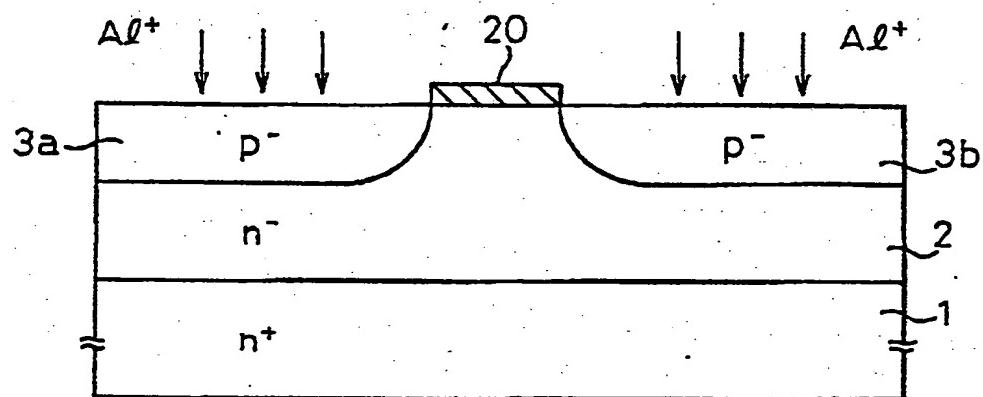


Fig. 15

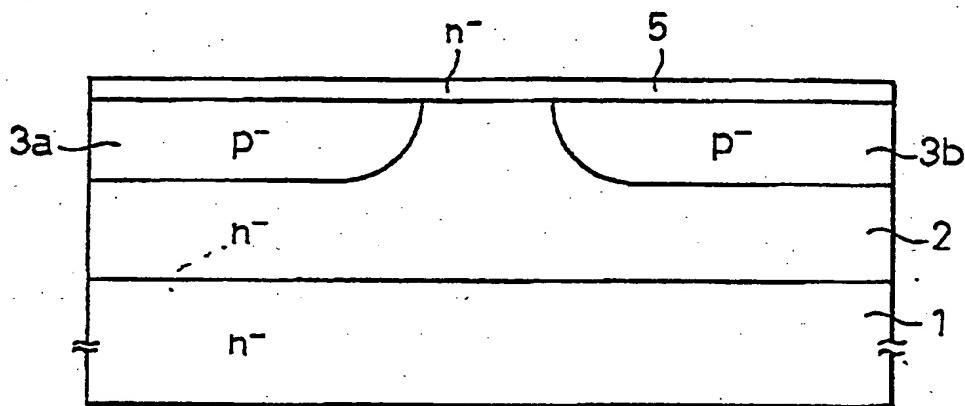


Fig. 16

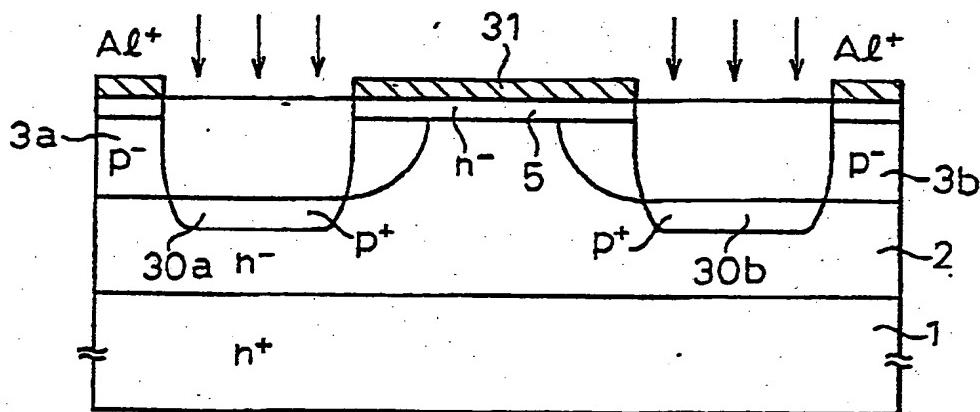


Fig.17

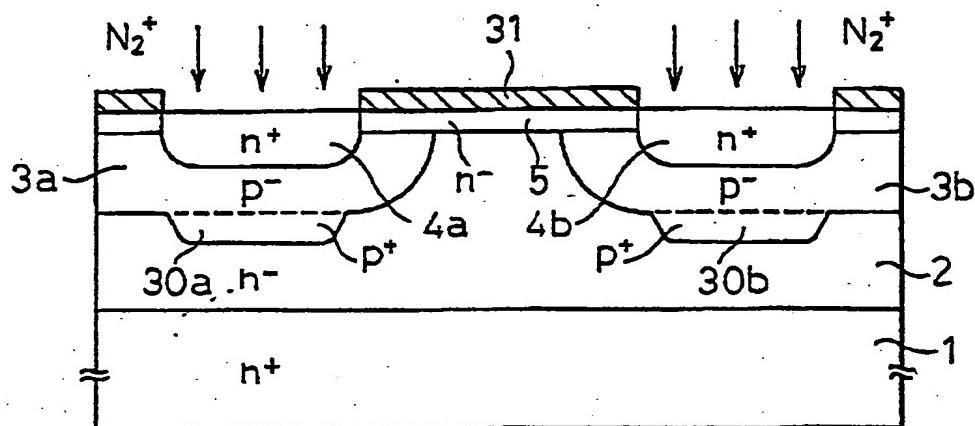


Fig.18

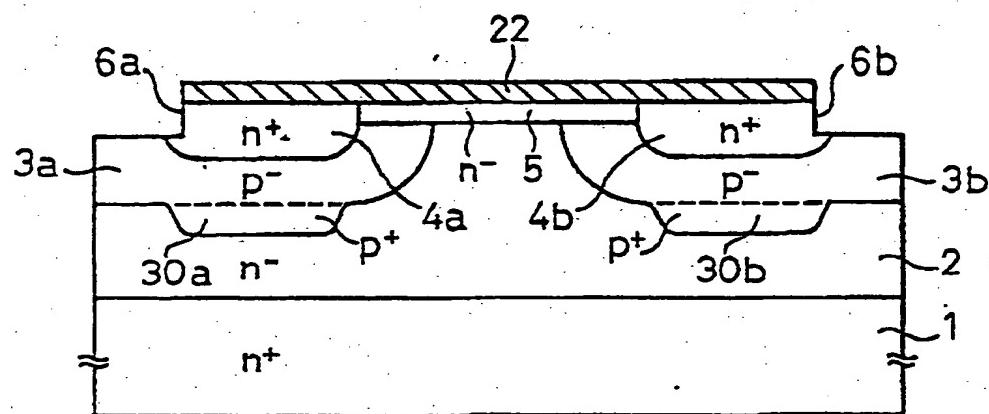


Fig.19

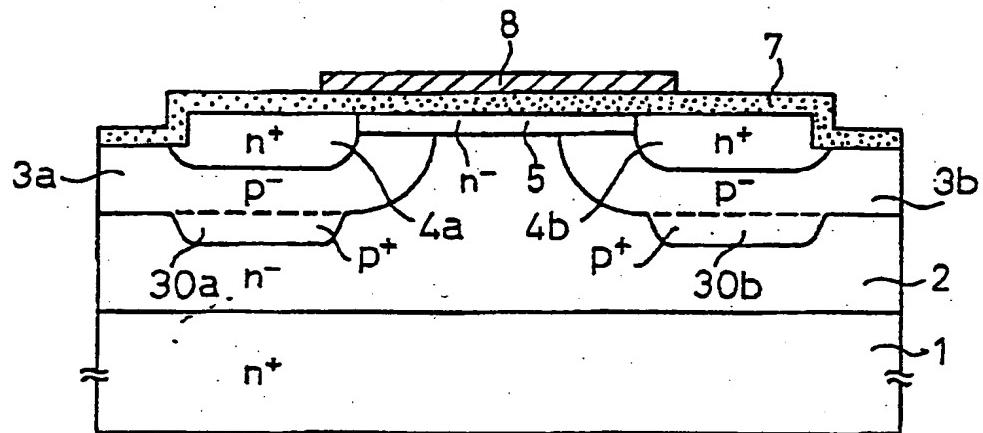


Fig.20

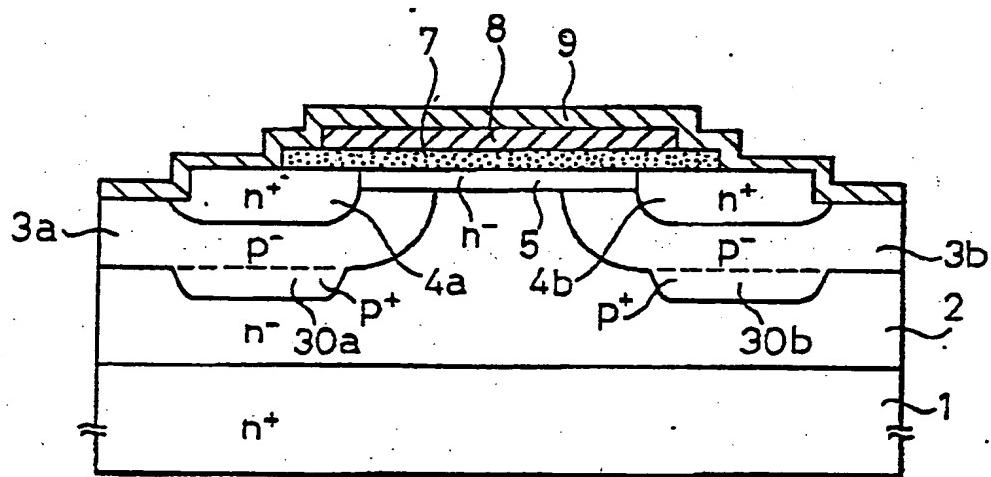


Fig.21

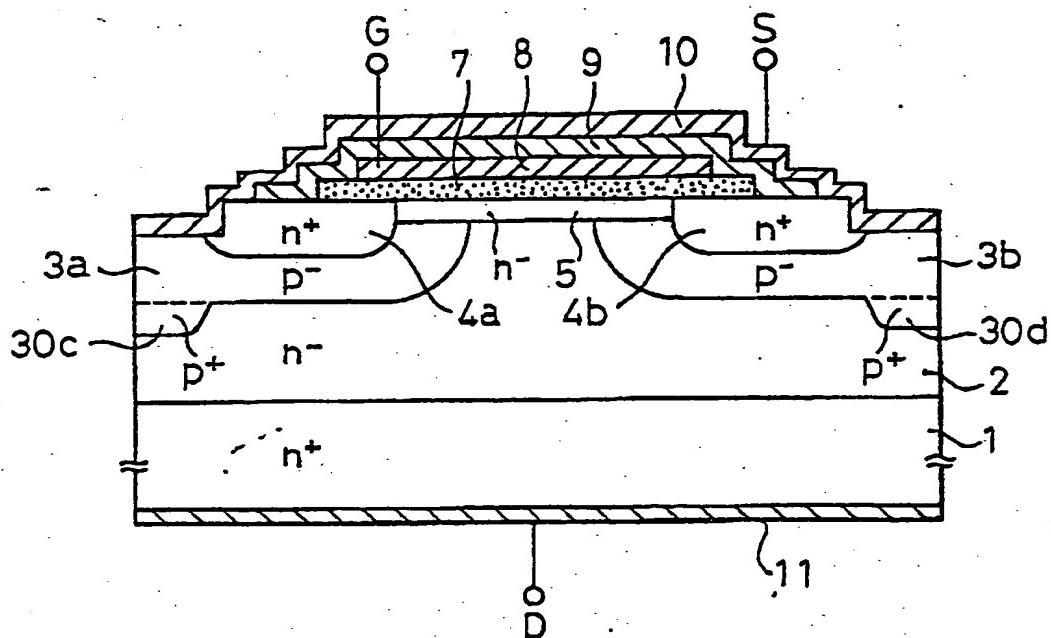


Fig.22

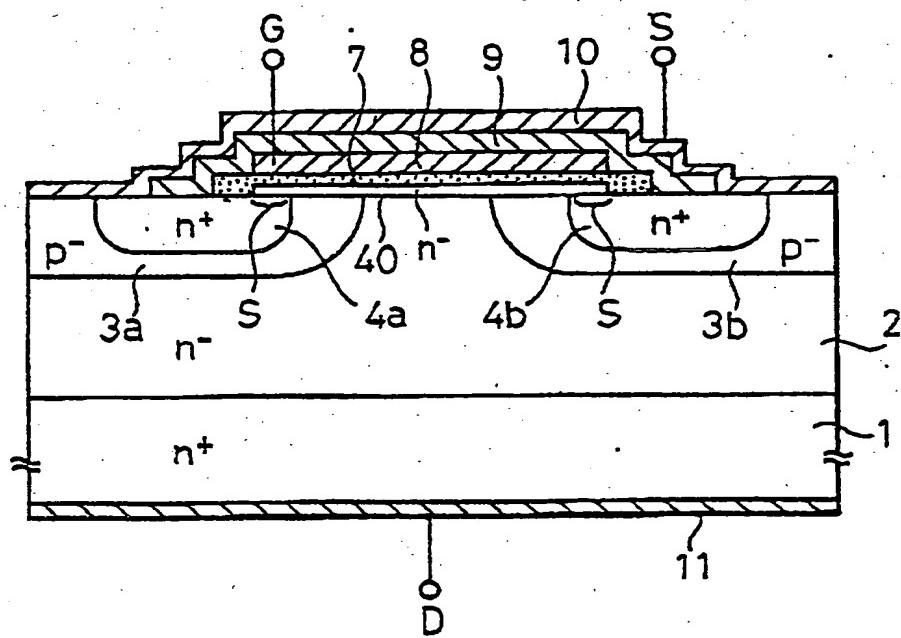


Fig. 23

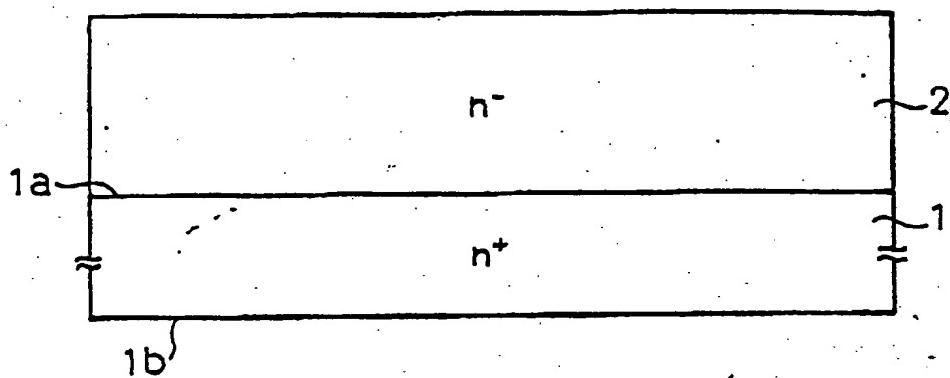


Fig. 24

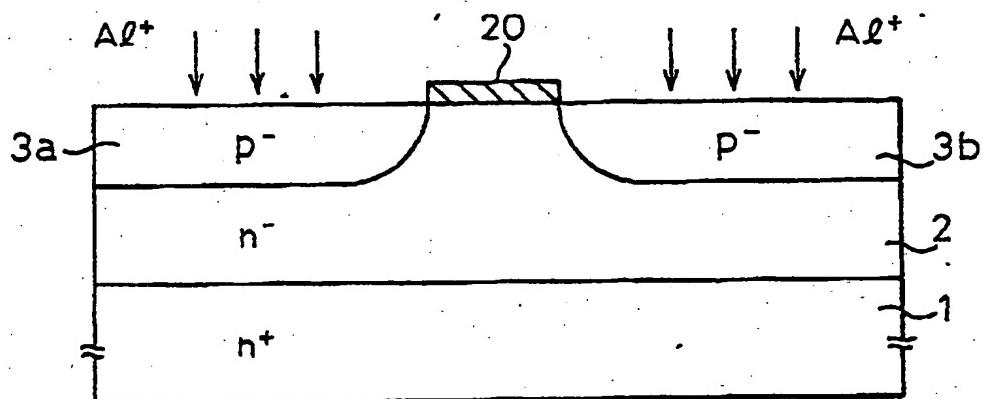


Fig. 25

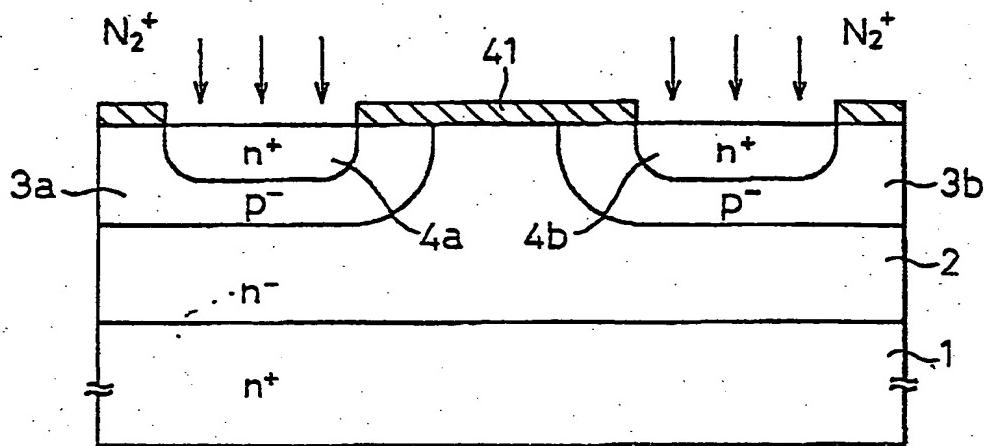


Fig. 26

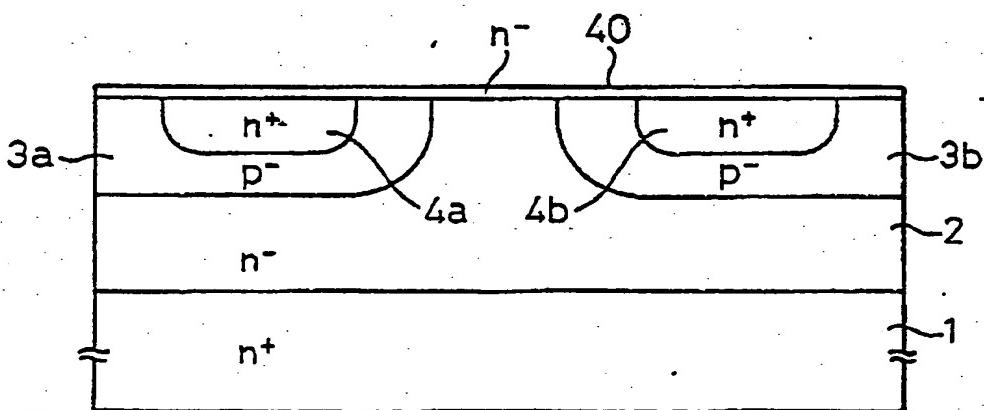


Fig.27

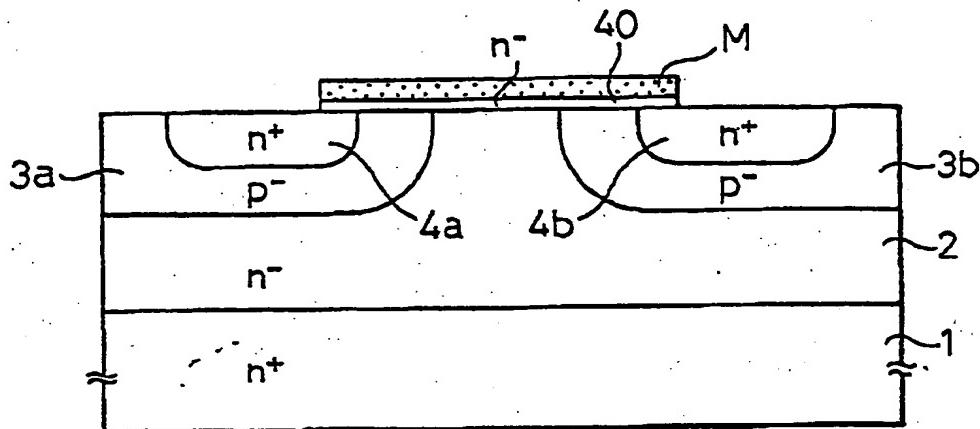


Fig. 28

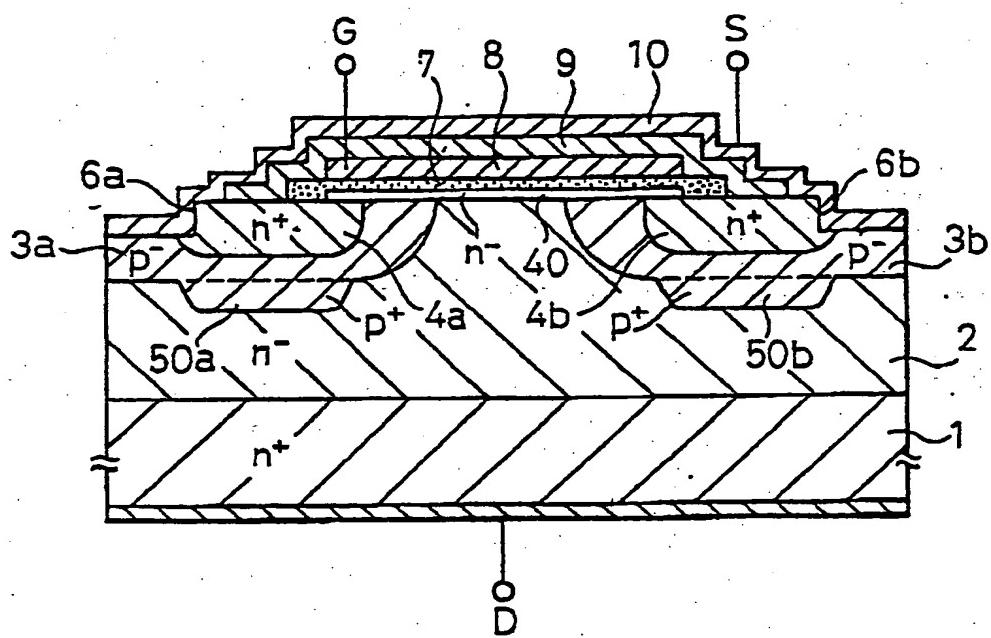


Fig. 29

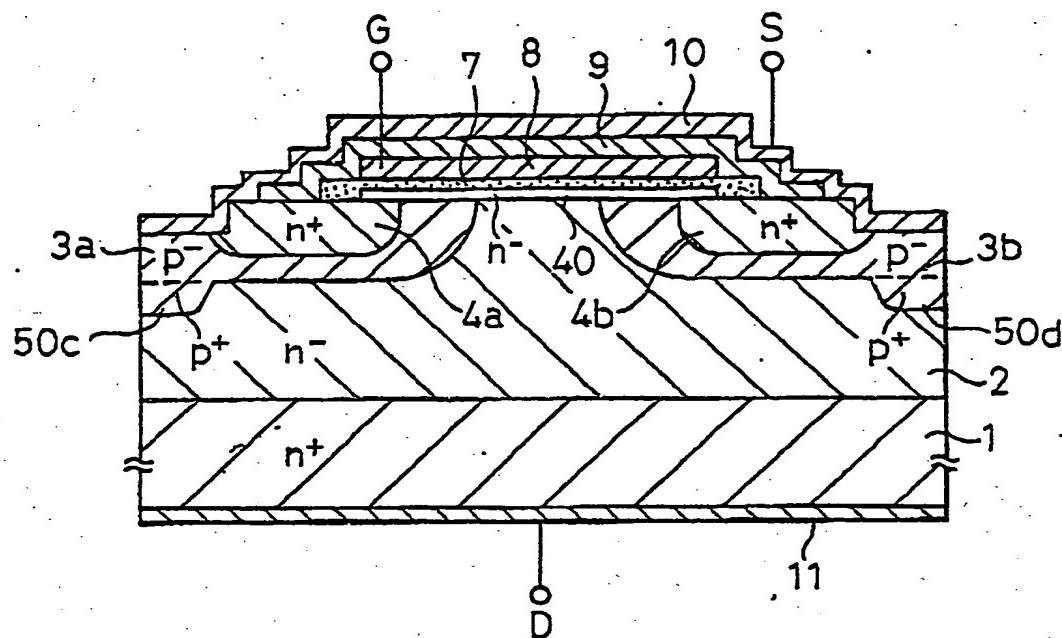


Fig. 30

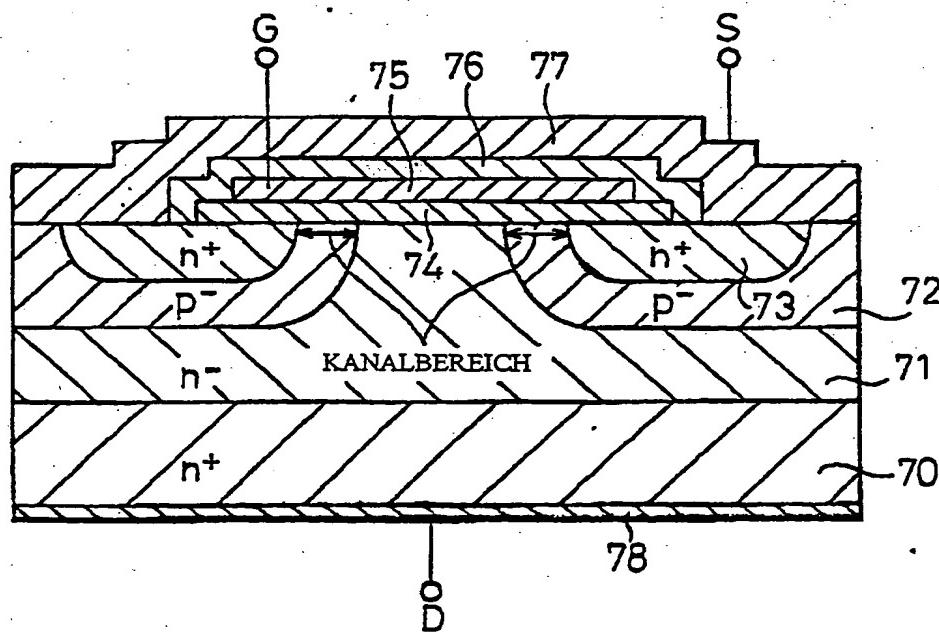


Fig. 31

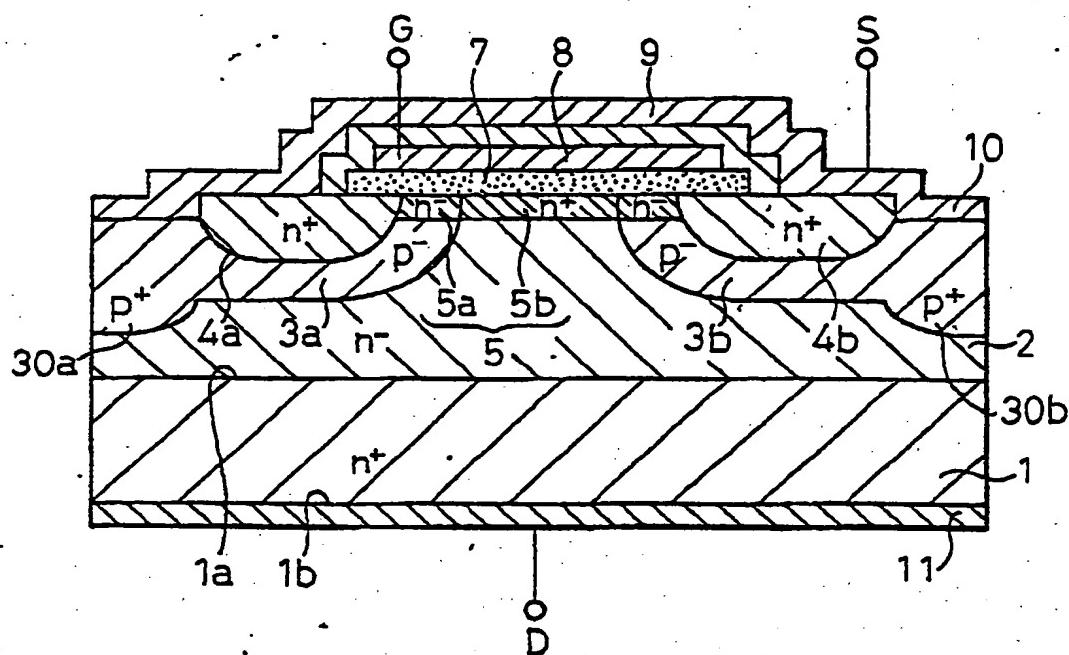


Fig. 32

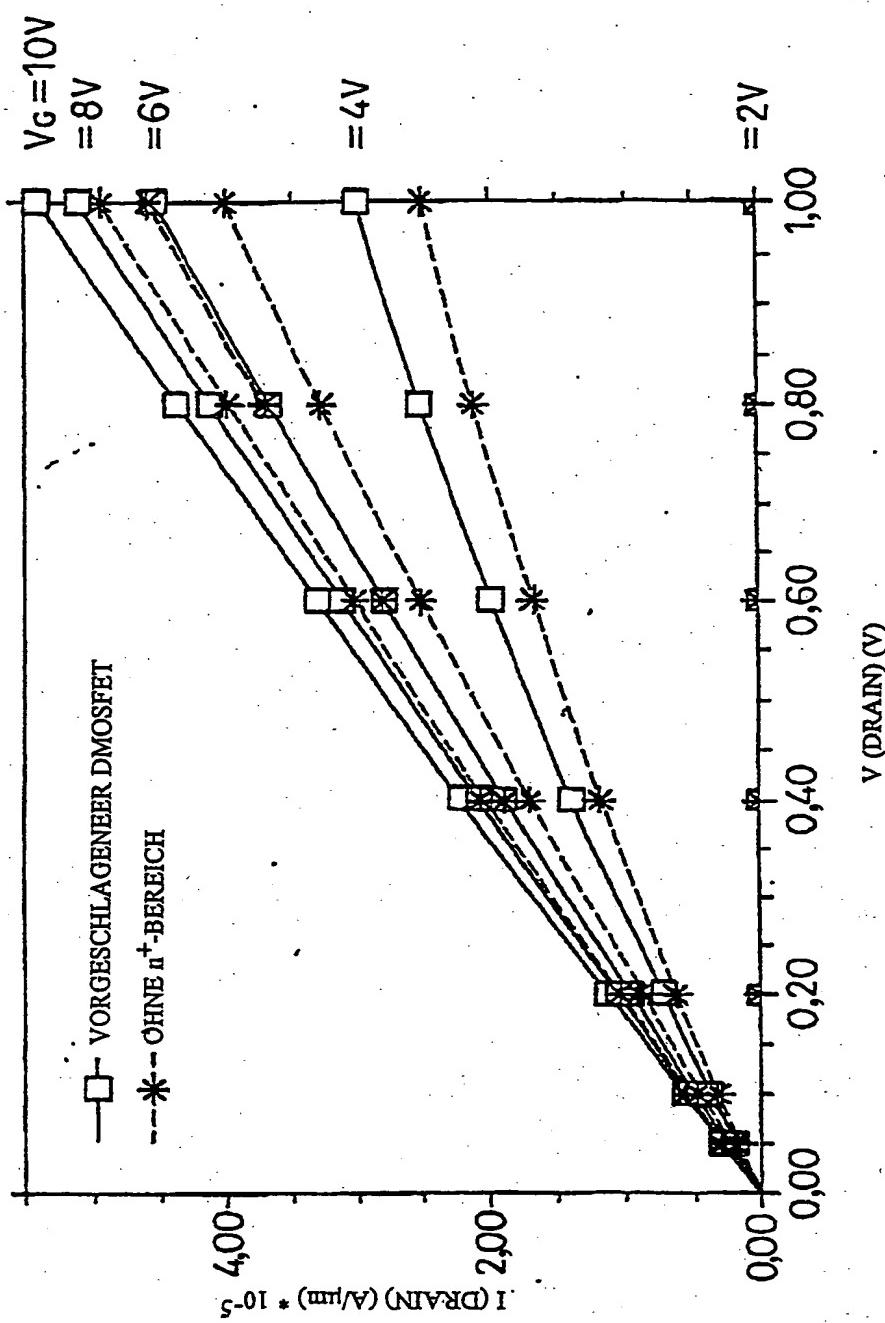


Fig.33

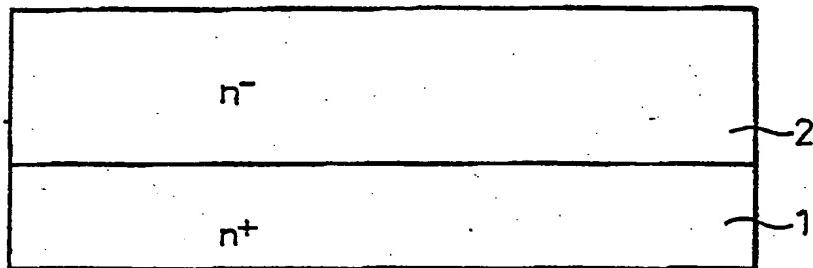


Fig.34

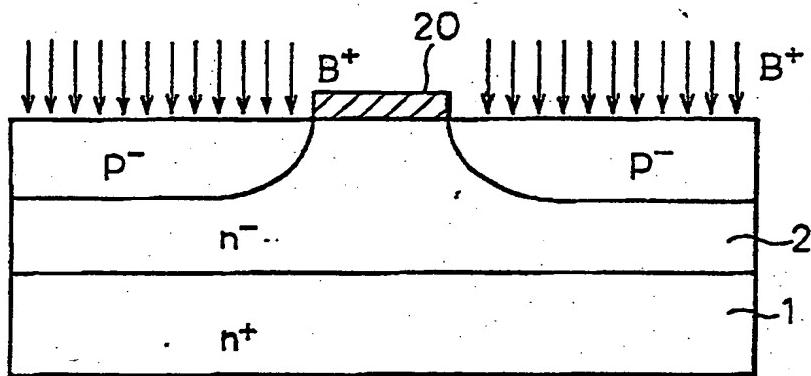


Fig.35

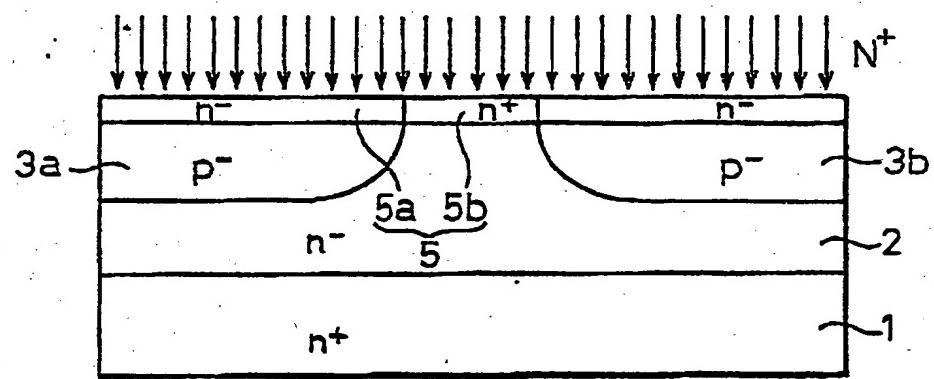


Fig.36

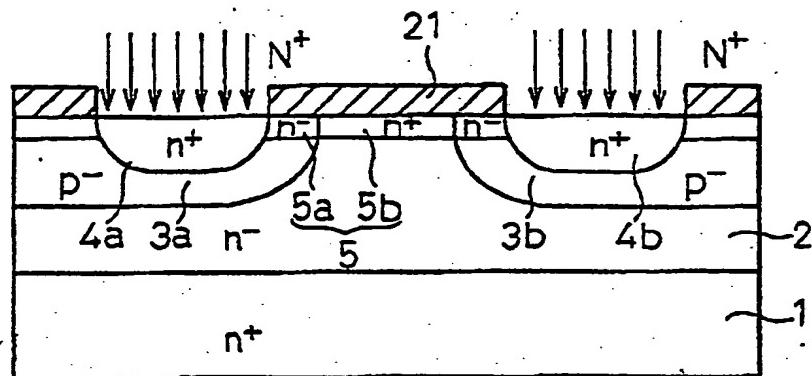


Fig.37

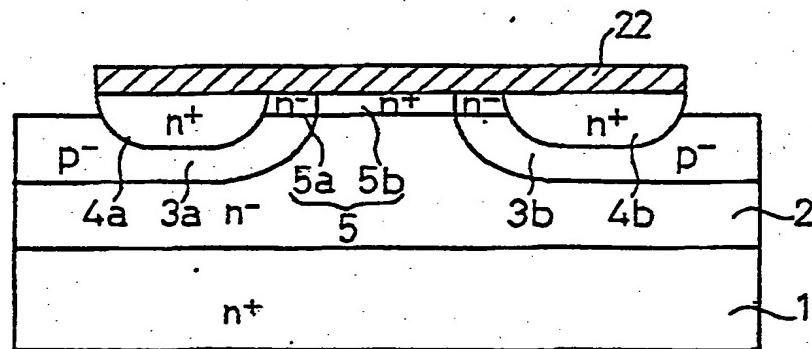


Fig.38

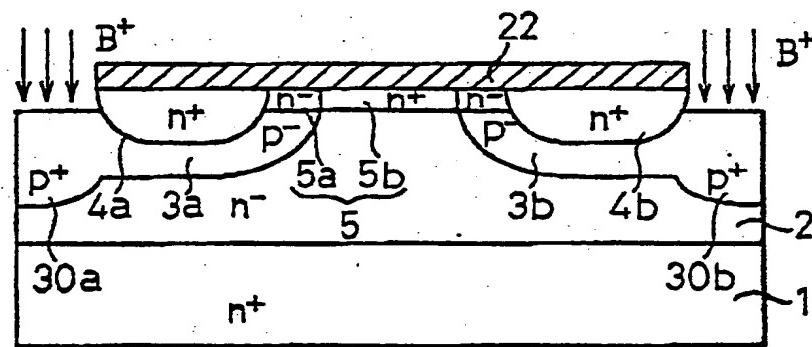


Fig.39

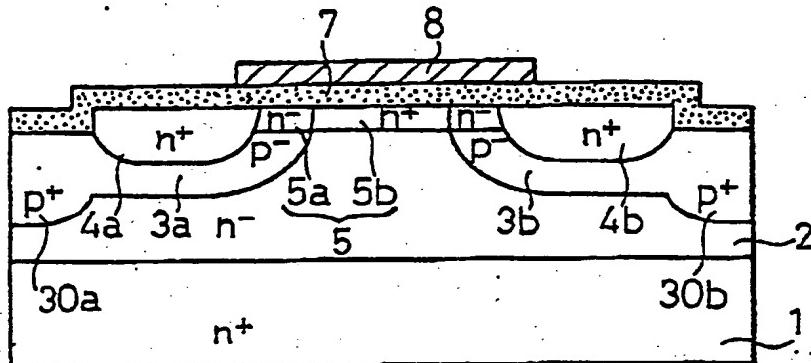


Fig.40

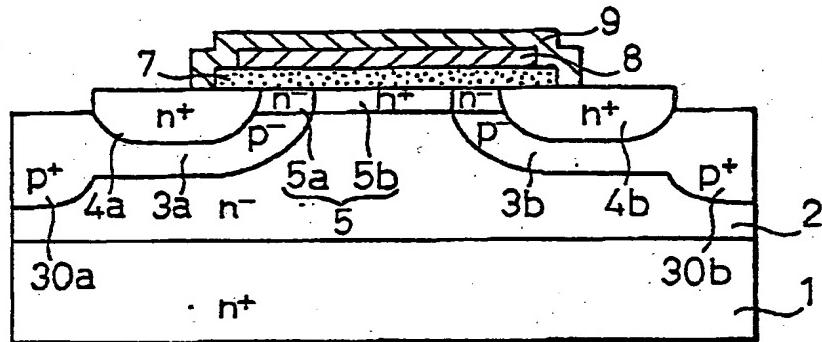


Fig.41

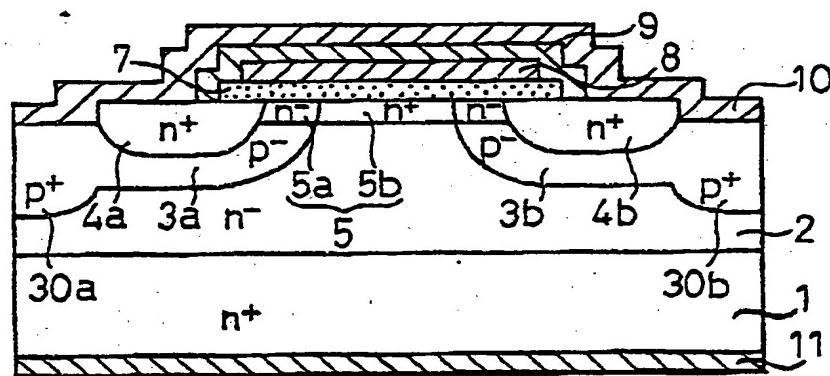


Fig.42

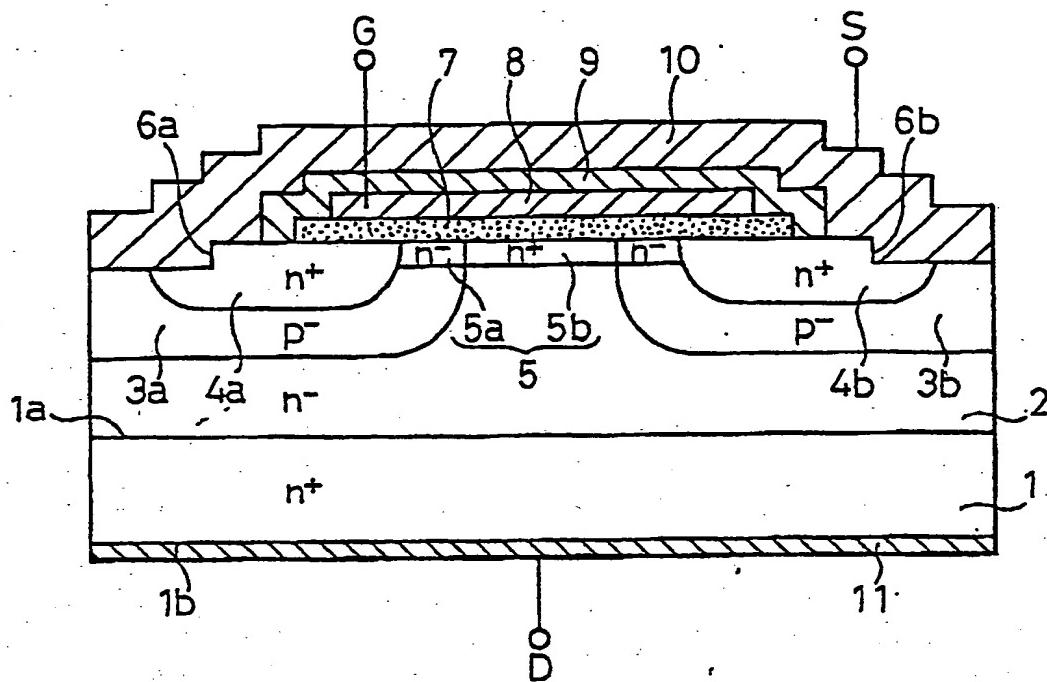


Fig.43

